



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0082629
(43) 공개일자 2020년07월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/32 (2013.01)
G09G 2300/026 (2013.01)

(21) 출원번호 10-2018-0173389

(22) 출원일자 2018년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

손현호

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인천문

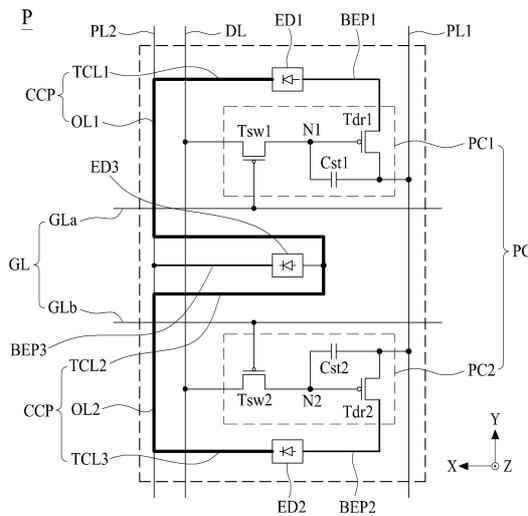
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 발광 다이오드 디스플레이 장치 및 이를 이용한 멀티 스크린 디스플레이 장치

(57) 요약

본 출원은 불량 화소를 리페어할 수 있는 발광 다이오드 디스플레이 장치 및 이를 이용한 멀티 스크린 디스플레이 장치를 제공하는 것으로, 본 출원에 따른 발광 다이오드 디스플레이 장치는 기판 상에 배치되어 영상을 표시하는 화소를 포함하며, 화소는 제 1 방향을 따라 배치된 제 1 게이트 라인, 제 1 방향과 교차하는 제 2 방향을 따라 배치된 데이터 라인, 및 데이터 라인과 나란한 제 1 구동 전원 라인에 연결된 제 1 발광부, 제 1 게이트 라인과 나란한 제 2 게이트 라인과 데이터 라인 및 제 1 구동 전원 라인에 연결된 제 2 발광부; 제 1 발광부와 제 2 발광부에 공통적으로 연결된 공통 연결 패턴; 및 제 2 구동 전원 라인과 공통 연결 패턴 사이에 연결된 제 3 발광부를 포함하며, 공통 연결 패턴의 일부는 제 2 구동 전원 라인과 중첩되는 포함할 수 있다.

대표도 - 도2



(52) CPC특허분류

G09G 2300/0426 (2013.01)

G09G 2330/021 (2013.01)

G09G 2330/08 (2013.01)

명세서

청구범위

청구항 1

기관 상에 배치되어 영상을 표시하는 화소를 포함하며,

상기 화소는,

제 1 방향을 따라 배치된 제 1 게이트 라인, 상기 제 1 방향과 교차하는 제 2 방향을 따라 배치된 데이터 라인, 및 상기 데이터 라인과 나란한 제 1 구동 전원 라인에 연결된 제 1 발광부;

상기 제 1 게이트 라인과 나란한 제 2 게이트 라인과 상기 데이터 라인 및 상기 제 1 구동 전원 라인에 연결된 제 2 발광부;

상기 제 1 발광부와 상기 제 2 발광부에 공통적으로 연결된 공통 연결 패턴;

제 2 구동 전원 라인과 상기 공통 연결 패턴 사이에 연결된 제 3 발광부를 포함하며,

상기 공통 연결 패턴의 일부는 상기 제 2 구동 전원 라인과 중첩되는, 발광 다이오드 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 제 3 발광부는 상기 제 1 게이트 라인과 상기 제 2 게이트 라인 사이에 배치된, 발광 다이오드 디스플레이 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 발광부는,

상기 제 1 게이트 라인과 상기 데이터 라인 및 제 1 구동 전원 라인에 연결된 제 1 화소 회로; 및

상기 제 1 화소 회로에 연결된 제 1 단자와 상기 공통 연결 패턴에 연결된 제 2 단자를 갖는 제 1 발광 소자를 포함하는, 발광 다이오드 디스플레이 장치.

청구항 4

제 3 항에 있어서,

상기 제 2 발광부는,

상기 제 2 게이트 라인과 상기 데이터 라인 및 제 1 구동 전원 라인에 연결된 제 2 화소 회로; 및

상기 제 2 화소 회로에 연결된 제 1 단자와 상기 공통 연결 패턴에 연결된 제 2 단자를 갖는 제 2 발광 소자를 포함하는, 발광 다이오드 디스플레이 장치.

청구항 5

제 4 항에 있어서,

상기 제 3 발광부는 상기 공통 연결 패턴에 연결된 제 1 단자와 제 2 구동 전원 라인에 연결된 제 2 단자를 갖는 제 3 발광 소자를 포함하는, 발광 다이오드 디스플레이 장치.

청구항 6

제 5 항에 있어서,

상기 화소는,

상기 제 1 화소 회로와 상기 제 1 발광 소자의 제 1 단자를 연결하는 제 1 브리지 전극 패턴;
 상기 제 2 화소 회로와 상기 제 2 발광 소자의 제 1 단자를 연결하는 제 2 브리지 전극 패턴; 및
 상기 제 3 발광 소자의 제 2 단자와 상기 제 2 구동 전원 라인을 연결하는 제 3 브리지 전극 패턴을 더 포함하
 며,
 상기 제 2 단자 연결 라인은 상기 제 3 브리지 전극 패턴을 우회하도록 상기 제 1 중첩 라인으로부터 연장되어
 상기 제 2 중첩 라인과 연결된, 발광 다이오드 디스플레이 장치.

청구항 7

기판 상에 배치되어 영상을 표시하는 화소를 포함하며,
 상기 화소는,
 데이터 라인, 상기 데이터 라인과 교차하는 제 1 및 제 2 게이트 라인, 및 상기 데이터 라인과 나란한 제 1 구
 동 전원 라인에 연결된 화소 회로;
 상기 화소 회로에 연결된 제 1 발광 소자와 제 2 발광 소자;
 상기 제 1 발광 소자와 상기 제 2 발광 소자에 공통적으로 연결된 공통 연결 패턴; 및
 제 2 구동 전원 라인과 상기 공통 연결 패턴 사이에 연결된 제 3 발광 소자를 포함하며,
 상기 제 1 발광 소자와 상기 제 2 발광 소자 중 적어도 하나는 상기 공통 연결 패턴을 통해 상기 제 2 구동 전
 원 라인과 연결된, 발광 다이오드 디스플레이 장치

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,
 상기 공통 연결 패턴의 일부는 레이저 리페어 공정에 의해 상기 제 2 구동 전원 라인과 전기적으로 연결된, 발
 광 다이오드 디스플레이 장치.

청구항 9

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,
 상기 제 3 발광 소자는 상기 제 1 발광 소자와 상기 제 2 발광 소자 사이에 배치되고,
 상기 제 1 발광 소자와 상기 제 2 발광 소자 및 상기 제 3 발광 소자는 상기 제 2 방향을 따라 일렬로 배치된,
 발광 다이오드 디스플레이 장치.

청구항 10

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,
 상기 제 3 발광 소자는 상기 제 1 발광 소자와 상기 제 2 발광 소자 사이에 배치되고,
 상기 제 3 발광 소자와 상기 제 1 발광 소자 사이의 제 1 거리는 상기 제 3 발광 소자와 상기 제 2 발광 소자
 사이의 제 2 거리와 동일한, 발광 다이오드 디스플레이 장치.

청구항 11

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,
 상기 공통 연결 패턴은,
 상기 제 1 발광 소자의 제 2 단자에 연결된 제 1 단자 연결 라인;
 상기 제 1 단자 연결부로부터 연장되어 상기 제 2 구동 전원 라인과 중첩되는 제 1 중첩 라인;
 상기 제 1 중첩 라인으로부터 연장되어 상기 제 3 발광 소자의 제 1 단자에 연결된 제 2 단자 연결 라인;
 상기 제 2 단자 연결부로부터 연장되어 상기 제 2 구동 전원 라인과 중첩되는 제 2 중첩 라인; 및

상기 제 2 중첩 라인으로부터 연장되어 상기 제 2 발광 소자의 제 2 단자에 연결된 제 3 단자 연결 라인을 포함하는, 발광 다이오드 디스플레이 장치.

청구항 12

제 11 항에 있어서,

상기 제 1 중첩 라인과 상기 제 2 중첩 라인 중 적어도 하나는 레이저 리페어 공정에 의해 상기 제 2 구동 전원 라인과 전기적으로 연결된, 발광 다이오드 디스플레이 장치.

청구항 13

제 12 항에 있어서,

상기 제 2 구동 전원 라인을 덮는 패시베이션층; 및

상기 제 1 내지 제 3 발광 소자를 덮으며 상기 제 1 중첩 라인과 상기 제 2 중첩 라인 각각의 일부와 상기 제 2 구동 전원 라인 사이에 마련된 홈부를 갖는 평탄화층을 더 포함하며,

상기 제 1 중첩 라인과 상기 제 2 중첩 라인 각각의 일부는 상기 평탄화층의 홈부에 배치되며, 상기 패시베이션층을 사이에 두고 상기 제 2 구동 전원 라인과 중첩된, 발광 다이오드 디스플레이 장치.

청구항 14

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 3 발광 소자는 상기 제 1 발광 소자와 상기 제 2 발광 소자 사이에 배치되고,

상기 제 1 발광 소자와 상기 제 2 발광 소자 및 상기 제 3 발광 소자는 상기 제 2 방향을 따라 일렬로 배치된, 발광 다이오드 디스플레이 장치.

청구항 15

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 1 발광 소자와 상기 제 2 발광 소자 및 상기 제 3 발광 소자 각각은 마이크로 발광 다이오드 칩인, 발광 다이오드 디스플레이 장치.

청구항 16

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 화소는 상기 제 1 발광 소자와 상기 제 2 발광 소자 및 상기 제 3 발광 소자 각각과 상기 기관 사이에 배치된 반사 패턴을 더 포함하는, 발광 다이오드 디스플레이 장치.

청구항 17

제 16 항에 있어서,

상기 제 2 구동 전원 라인을 덮는 패시베이션층; 및

상기 제 1 내지 제 3 발광 소자를 덮으며 상기 제 1 중첩 라인과 상기 제 2 중첩 라인 각각의 일부와 상기 제 2 구동 전원 라인 사이에 마련된 홈부를 갖는 평탄화층을 더 포함하며,

상기 제 1 중첩 라인과 상기 제 2 중첩 라인 각각의 일부는 상기 평탄화층의 홈부에 배치되며, 상기 패시베이션층을 사이에 두고 상기 제 2 구동 전원 라인과 중첩되며,

상기 반사 패턴은 상기 제 1 중첩 라인과 상기 제 2 중첩 라인 각각의 일부와 상기 패시베이션층 사이에 추가로 배치된, 발광 다이오드 디스플레이 장치.

청구항 18

제 16 항에 있어서,

상기 화소는 상기 제 1 발광 소자와 상기 제 2 발광 소자 및 상기 제 3 발광 소자 각각과 상기 반사 패턴 사이에 배치된 접착층을 더 포함하는, 발광 다이오드 디스플레이 장치.

청구항 19

서로 나란한 측면끼리 밀착된 복수의 스크린 모듈을 포함하며,

상기 복수의 스크린 모듈 각각은 청구항 1 내지 6 중 어느 하나에 따른 발광 다이오드 디스플레이 장치를 포함하는, 멀티 스크린 디스플레이 장치.

청구항 20

제 19 항에 있어서,

상기 공통 연결 패턴의 일부는 레이저 리페어 공정에 의해 상기 제 2 구동 전원 라인과 전기적으로 연결된, 멀티 스크린 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 출원은 발광 다이오드 디스플레이 장치 및 이를 이용한 멀티 스크린 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 디스플레이 장치는 텔레비전 또는 모니터의 표시 화면 이외에도 노트북 컴퓨터, 태블릿 컴퓨터, 스마트폰, 휴대용 표시 기기, 휴대용 정보 기기 등의 표시 화면으로 널리 사용되고 있다.

[0003] 액정 디스플레이와 유기 발광 디스플레이 장치는 스위칭 다이오드 소자로서 트랜지스터(Thin Film Transistor)를 이용하여 영상을 표시한다. 액정 디스플레이 장치는 자체 발광 방식이 아니기 때문에 액정 디스플레이 패널의 하부에 배치된 백라이트 유닛으로부터 조사되는 광을 이용하여 영상을 표시하게 된다. 이러한 액정 디스플레이 장치는 백라이트 유닛을 가지므로 디자인에 제약이 있으며, 휘도 및 응답 속도가 저하될 수 있다. 유기 발광 디스플레이 장치는 유기물을 포함하기 때문에 수분에 취약하여 신뢰성 및 수명이 저하될 수 있다.

[0004] 최근에는, 마이크로 발광 소자를 이용한 발광 다이오드 디스플레이 장치에 대한 연구 및 개발이 진행되고 있으며, 이러한 발광 다이오드 디스플레이 장치는 고화질과 고신뢰성을 갖기 때문에 차세대 디스플레이로서 각광받고 있다.

[0005] 그러나, 종래의 발광 다이오드 디스플레이 장치는 마이크로 발광 다이오드 소자를 박막 트랜지스터 어레이 기판에 전사하는 공정에서 발생하는 마이크로 발광 다이오드 소자의 불량으로 인한 불량 화소로 인하여 신뢰성과 생산성이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 출원은 불량 화소를 리페어할 수 있는 발광 다이오드 디스플레이 장치 및 이를 이용한 멀티 스크린 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.

[0007] 또한, 본 출원은 소비 전력이 감소될 수 있는 발광 다이오드 디스플레이 장치 및 이를 이용한 멀티 스크린 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.

[0008] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 본 출원에 따른 발광 다이오드 디스플레이 장치는 기판 상에 배치되어 영상을 표시하는 화소를 포함하며, 화소

는 제 1 방향을 따라 배치된 제 1 게이트 라인, 제 1 방향과 교차하는 제 2 방향을 따라 배치된 데이터 라인, 및 데이터 라인과 나란한 제 1 구동 전원 라인에 연결된 제 1 발광부, 제 1 게이트 라인과 나란한 제 2 게이트 라인과 데이터 라인 및 제 1 구동 전원 라인에 연결된 제 2 발광부; 제 1 발광부와 제 2 발광부에 공통적으로 연결된 공통 연결 패턴; 및 제 2 구동 전원 라인과 공통 연결 패턴 사이에 연결된 제 3 발광부를 포함하며, 공통 연결 패턴의 일부는 제 2 구동 전원 라인과 중첩되는 포함할 수 있다.

[0010] 본 출원에 따른 발광 다이오드 디스플레이 장치는 기판 상에 배치되어 영상을 표시하는 화소를 포함하며, 화소는 데이터 라인, 데이터 라인과 교차하는 제 1 및 제 2 게이트 라인, 및 데이터 라인과 나란한 제 1 구동 전원 라인에 연결된 화소 회로; 화소 회로에 연결된 제 1 발광 소자와 제 2 발광 소자; 제 1 발광 소자와 제 2 발광 소자에 공통적으로 연결된 공통 연결 패턴; 및 제 2 구동 전원 라인과 공통 연결 패턴 사이에 연결된 제 3 발광 소자를 포함하며, 제 1 발광 소자와 제 2 발광 소자 중 적어도 하나는 공통 연결 패턴을 통해 제 2 구동 전원 라인과 연결될 수 있다.

[0011] 본 출원에 따른 멀티 스크린 디스플레이 장치는 서로 나란한 측면끼리 밀착된 복수의 스크린 모듈을 포함하며, 복수의 스크린 모듈 각각은 발광 다이오드 디스플레이 장치를 가지며, 발광 다이오드 디스플레이 장치는 기판 상에 배치되어 영상을 표시하는 화소를 포함하며, 화소는 제 1 방향을 따라 배치된 제 1 게이트 라인, 제 1 방향과 교차하는 제 2 방향을 따라 배치된 데이터 라인, 및 데이터 라인과 나란한 제 1 구동 전원 라인에 연결된 제 1 발광부, 제 1 게이트 라인과 나란한 제 2 게이트 라인과 데이터 라인 및 제 1 구동 전원 라인에 연결된 제 2 발광부; 제 1 발광부와 제 2 발광부에 공통적으로 연결된 공통 연결 패턴; 및 제 2 구동 전원 라인과 공통 연결 패턴 사이에 연결된 제 3 발광부를 포함하며, 공통 연결 패턴의 일부는 제 2 구동 전원 라인과 중첩될 수 있다.

발명의 효과

[0012] 본 출원은 불량 화소를 리페어할 수 있어 발광 다이오드 디스플레이 장치의 신뢰성과 생산수율을 증가시킬 수 있다.

[0013] 본 출원은 발광 다이오드 디스플레이 장치의 소비 전력을 감소시킬 수 있다.

[0014] 위에서 언급된 본 출원의 효과 외에도, 본 출원의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0015] 도 1은 본 출원의 일 예에 따른 발광 다이오드 디스플레이 장치를 설명하기 위한 도면이다.

도 2는 도 1에 도시된 하나의 화소를 설명하기 위한 회로도이다.

도 3은 도 2에 도시된 제 1 내지 제 3 발광 소자를 설명하기 위한 단면도이다.

도 4는 도 2에 도시된 화소의 레이아웃을 나타내는 도면이다.

도 5는 도 4에 도시된 선 I-I'의 단면도이다.

도 6은 도 4에 도시된 선 II-II'의 단면도이다.

도 7은 본 출원의 일 예에 따른 발광 다이오드 디스플레이 장치에서, 정상 화소의 발광을 설명하기 위한 도면이다.

도 8은 본 출원의 일 예에 따른 발광 다이오드 디스플레이 장치에서, 리페어 화소의 발광을 설명하기 위한 도면이다.

도 9는 도 8에 도시된 리페어 화소의 리페어 방법을 나타내는 도면이다.

도 10은 본 출원에 따른 멀티 스크린 디스플레이 장치를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원의

발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원의 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0017] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원의 예를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0018] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0019] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0020] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0021] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0022] 제 1, 제 2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성요소는 본 출원의 기술적 사상 내에서 제 2 구성요소일 수도 있다.
- [0023] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0024] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0025] 이하에서는 본 출원에 따른 발광 다이오드 디스플레이 장치 및 이를 이용한 멀티 스크린 디스플레이 장치의 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 그리고, 첨부된 도면에 도시된 구성요소들의 스케일은 설명의 편의를 위해 실제와 다른 스케일을 가지므로, 도면에 도시된 스케일에 한정되지 않는다.
- [0026] 도 1은 본 출원의 일 예에 따른 발광 다이오드 디스플레이 장치를 설명하기 위한 도면이다.
- [0027] 도 1을 참조하면, 본 출원의 일 예에 따른 발광 다이오드 디스플레이 장치는 기관(100) 및 패널 구동 회로부(700)를 포함할 수 있다.
- [0028] 상기 기관(100)은 트랜지스터 어레이 기관으로서, 글라스 재질 또는 플라스틱 재질로 이루어질 수 있다.
- [0029] 일 예에 따른 기관(100)은 복수의 게이트 라인(GL), 복수의 데이터 라인(DL), 복수의 제 1 구동 전원 라인(PL1), 복수의 제 2 구동 전원 라인(PL2), 및 복수의 화소(P)를 포함할 수 있다.
- [0030] 상기 복수의 게이트 라인(GL) 각각은 제 1 방향(X)을 따라 길게 연장되고, 제 1 방향(X)과 교차하는 제 2 방향(Y)을 따라 일정한 간격을 가지도록 기관(100) 상에 배치될 수 있다. 이 경우, 제 1 방향(X)은 기관(100)의 장변 길이 방향과 나란한 방향으로 정의될 수 있으며, 제 2 방향(Y)은 기관(100)의 단변 길이 방향과 나란한 방향으로 정의될 수 있지만, 그 반대 방향으로 정의될 수도 있다.
- [0031] 상기 복수의 데이터 라인(DL)은 복수의 게이트 라인(GL)과 교차하도록 기관(100) 상에 마련되는 것으로, 제 2 방향(Y)을 따라 길게 연장되고, 제 1 방향(X)을 따라 일정한 간격으로 이격될 수 있다.
- [0032] 상기 복수의 구동 전원 라인(PL)은 데이터 라인(DL)과 나란하도록 기관(100) 상에 마련되는 것으로, 복수의 데이터 라인(DL) 각각과 함께 형성될 수 있다. 이러한 복수의 구동 전원 라인(PL) 각각은 패널 구동 회로로부터

제공되는 제 1 화소 구동 전원을 인접한 화소(P)에 공급한다.

- [0033] 상기 복수의 제 2 구동 전원 라인(PL2)은 데이터 라인(DL)과 나란하도록 기판(100) 상에 마련되는 것으로, 복수의 데이터 라인(DL) 각각과 함께 형성될 수 있다. 이러한 복수의 제 2 구동 전원 라인(PL2) 각각은 패널 구동 회로로부터 제공되는 제 1 화소 구동 전원과 다른 제 2 화소 구동 전원을 인접한 화소(P)에 공급한다. 예를 들어, 제 2 화소 구동 전원은 캐소드 전원 또는 그라운드 전압일 수 있다.
- [0034] 상기 복수의 화소(P) 각각은 게이트 라인(GL)과 데이터 라인(DL)에 의해 정의되는 화소 영역에 마련될 수 있다. 복수의 화소(P) 각각은 실제 광을 방출하는 최소 단위로 정의될 수 있다. 인접한 적어도 3개의 화소(P)는 컬러 표시를 위한 하나의 단위 화소를 구성할 수 있다. 예를 들어, 하나의 단위 화소는 인접한 적색 화소, 녹색 화소 및 청색 화소를 포함하며, 휘도 향상을 위해 백색 화소를 더 포함할 수도 있다.
- [0035] 일 예에 따른 단위 화소를 구성하는 적어도 3개의 화소(P)은 하나의 제 1 구동 전원 라인(PL1)을 서로 공유할 수 있으며, 이 경우, 제 1 구동 전원 라인(PL1)은 단위 화소마다 하나씩 마련되고, 이로 인하여 기판(100) 상에 마련되는 제 1 구동 전원 라인(PL1)의 개수가 감소될 수 있다.
- [0036] 상기 패널 구동 회로(700)는 기판(100)에 마련된 패드부에 연결되어 디스플레이 구동 시스템으로부터 공급되는 영상 데이터에 대응되는 영상 신호를 복수의 화소(P)에 공급한다.
- [0037] 일 예에 따른 패널 구동 회로부(700)는 게이트 구동 회로부(710), 데이터 구동 회로부(730), 및 타이밍 제어 회로(750)를 포함할 수 있다.
- [0038] 상기 게이트 구동 회로부(710)는 기판(100) 상에 배치된 복수의 게이트 라인(GL)과 연결된다. 게이트 구동 회로부(710)는 타이밍 제어 회로(750)로부터 공급되는 게이트 제어 신호를 기반으로 정해진 순서에 따라 게이트 신호를 생성하여 해당하는 게이트 라인(GL)에 공급한다.
- [0039] 상기 데이터 구동 회로부(730)는 기판(100) 상에 배치된 복수의 데이터 라인(DL)과 연결된다. 데이터 구동 회로부(730)는 타이밍 제어 회로(750)로부터 제공되는 화소별 화소 데이터와 데이터 제어 신호를 수신하고, 전원 회로로부터 제공되는 복수의 기준 감마 전압을 수신한다. 데이터 구동 회로부(730)는 데이터 제어 신호와 복수의 기준 감마 전압을 이용하여 화소별 화소 데이터를 화소별 데이터 신호로 변환하고, 변환된 화소별 데이터 신호를 해당 데이터 라인(DL)에 공급한다.
- [0040] 상기 타이밍 제어 회로(750)는 디스플레이 구동 시스템으로부터 제공되는 영상 데이터와 타이밍 동기 신호를 수신한다. 타이밍 제어 회로(750)는 타이밍 동기 신호에 기초해 영상 데이터를 기판(100)의 화소 배치 구조에 알맞도록 정렬하여 화소 데이터를 생성하고, 생성된 화소 데이터를 데이터 구동 회로부(730)에 제공한다. 또한, 타이밍 제어 회로(750)는 타이밍 동기 신호에 기초해 데이터 제어 신호와 게이트 제어 신호 각각을 생성하여 데이터 구동 회로부(730)와 게이트 구동 회로부(710) 각각의 구동 타이밍을 제어한다.
- [0041] 도 2는 도 1에 도시된 하나의 화소를 설명하기 위한 회로도이고, 도 3은 도 2에 도시된 제 1 내지 제 3 발광 소자를 설명하기 위한 단면도이며, 도 4는 도 2에 도시된 화소의 레이아웃을 나타내는 도면이다. 도 3의 회로도에서, 검정색 원형 점은 라인들이 전기적으로 연결된 부분을 나타내며, 검정색 원형 점이 표시되지 않은 라인들의 교차 부분과 중첩 부분은 전기적으로 분리(또는 절연)된 부분을 나타낸다.
- [0042] 도 1 내지 도 4를 참조하면, 본 출원의 일 예에 따른 화소(P)는 화소 회로(PC), 제 1 발광 소자(ED1), 제 2 발광 소자(ED2), 공통 연결 패턴(CCP), 및 제 3 발광 소자(ED3)를 포함할 수 있다.
- [0043] 상기 화소 회로(PC)는 인접한 데이터 라인(DL), 데이터 라인(DL)과 교차하는 제 1 및 제 2 게이트 라인(GLa, GLb), 및 데이터 라인(DL)과 나란한 제 1 구동 전원 라인(PL1)에 연결될 수 있다. 이 경우, 제 2 게이트 라인(GLb)은 제 1 발광 소자(ED1)의 구동 불량(또는 동작 불량)을 대비하여 미리 마련되는 리던던시 게이트 라인일 수 있다. 이러한 화소 회로(PC)는 데이터 라인(DL)에 공급되는 데이터 신호에 대응되는 데이터 전류를 제 1 발광 소자(ED1)와 제 2 발광 소자(ED2) 중 적어도 하나에 공급할 수 있다. 일 예에 따른 화소 회로(PC)는 제 1 화소 회로(PC1) 및 제 2 화소 회로(PC2)를 포함할 수 있다.
- [0044] 상기 제 1 화소 회로(PC1)는 제 1 게이트 라인(GLa), 데이터 라인(DL), 및 제 1 구동 전원 라인(PL1)에 연결되고, 제 1 게이트 라인(GLa)에 공급되는 제 1 게이트 신호에 응답하여 데이터 라인(DL)을 통해 공급되는 데이터 신호에 대응되는 데이터 전류를 제 1 발광 소자(ED1)에 공급한다. 일 예에 따른 제 1 화소 회로(PC1)는 제 1 스위칭 박막 트랜지스터(Tsw1), 제 1 구동 박막 트랜지스터(Tdr1), 및 제 1 커패시터(Cst1)를 포함할 수 있다.

- [0045] 상기 제 1 스위칭 박막 트랜지스터(Tsw1)는 인접한 제 1 게이트 라인(GLa)에 연결된 게이트 전극, 데이터 라인(DL)에 연결된 제 1 소스/드레인 전극, 및 제 1 구동 박막 트랜지스터(Tdr1)의 게이트 전극과 연결되는 제 1 노드(N1)에 연결된 제 2 소스/드레인 전극을 포함할 수 있다. 이러한 제 1 스위칭 박막 트랜지스터(Tsw1)는 제 1 게이트 라인(GLa)에 공급되는 게이트 신호에 따라 스위칭되어 데이터 라인(DL)을 통해 공급되는 데이터 신호를 제 1 구동 박막 트랜지스터(Tdr1)의 게이트 전극에 공급한다.
- [0046] 상기 제 1 구동 박막 트랜지스터(Tdr1)는 제 1 스위칭 박막 트랜지스터(Tsw1)로부터 공급되는 전압 및/또는 제 1 커패시터(Cst1)의 전압에 의해 턴-온됨으로써 제 1 구동 전원 라인(PL1)으로부터 제 1 발광 소자(ED1)로 흐르는 전류량을 제어한다. 일 예에 따른 제 1 구동 박막 트랜지스터(Tdr1)는 제 1 스위칭 박막 트랜지스터(Tsw1)의 제 2 소스/드레인 전극(또는 제 1 노드(N1))에 연결된 게이트 전극, 제 1 구동 전원 라인(PL1)에 연결된 소스 전극, 및 제 1 발광 소자(ED1)에 연결되는 드레인 전극을 포함할 수 있다. 이 경우, 제 1 구동 박막 트랜지스터(Tdr1)는 P형 불순물이 도핑된 반도체층을 포함하는 P 타입의 박막 트랜지스터이지만, 이에 한정되지 않고 N형 불순물이 도핑된 반도체층을 포함하는 N 타입의 박막 트랜지스터로 변경될 수 있다. N 타입의 제 1 구동 박막 트랜지스터(Tdr1)의 경우, 소스 전극은 제 1 발광 소자(ED1)에 연결되며 드레인 전극은 제 1 구동 전원 라인(PL1)에 연결될 수 있다.
- [0047] 상기 제 1 커패시터(Cst1)는 제 1 구동 박막 트랜지스터(Tdr1)의 게이트 전극과 소스 전극 사이의 중첩 영역에 마련되어 제 1 구동 박막 트랜지스터(Tdr1)의 게이트 전극에 공급되는 데이터 신호에 대응되는 전압을 저장하고, 저장된 전압으로 제 1 구동 박막 트랜지스터(Tdr1)를 턴-온시킨다.
- [0048] 상기 제 1 화소 회로(PC2)는 제 2 게이트 라인(GLb), 데이터 라인(DL), 및 제 1 구동 전원 라인(PL1)에 연결되고, 제 2 게이트 라인(GLb)에 공급되는 제 2 게이트 신호에 응답하여 데이터 라인(DL)을 통해 공급되는 데이터 신호에 대응되는 데이터 전류를 제 2 발광 소자(ED2)에 공급한다. 일 예에 따른 제 2 화소 회로(PC2)는 제 2 스위칭 박막 트랜지스터(Tsw2), 제 2 구동 박막 트랜지스터(Tdr2), 및 제 2 커패시터(Cst2)를 포함할 수 있다.
- [0049] 상기 제 2 스위칭 박막 트랜지스터(Tsw2)는 인접한 제 2 게이트 라인(GLb)에 연결된 게이트 전극, 데이터 라인(DL)에 연결된 제 1 소스/드레인 전극, 및 제 2 구동 박막 트랜지스터(Tdr2)의 게이트 전극과 연결되는 제 2 노드(N2)에 연결된 제 2 소스/드레인 전극을 포함할 수 있다. 이러한 제 2 스위칭 박막 트랜지스터(Tsw2)는 제 2 게이트 라인(GLb)에 공급되는 게이트 신호에 따라 스위칭되어 데이터 라인(DL)을 통해 공급되는 데이터 신호를 제 2 구동 박막 트랜지스터(Tdr2)의 게이트 전극에 공급한다.
- [0050] 상기 제 2 구동 박막 트랜지스터(Tdr2)는 제 2 스위칭 박막 트랜지스터(Tsw2)로부터 공급되는 전압 및/또는 제 2 커패시터(Cst2)의 전압에 의해 턴-온됨으로써 제 1 구동 전원 라인(PL1)으로부터 제 2 발광 소자(ED2)로 흐르는 전류량을 제어한다. 일 예에 따른 제 2 구동 박막 트랜지스터(Tdr2)는 제 2 스위칭 박막 트랜지스터(Tsw2)의 제 2 소스/드레인 전극(또는 제 2 노드(N2))에 연결된 게이트 전극, 제 1 구동 전원 라인(PL1)에 연결된 소스 전극, 및 제 2 발광 소자(ED2)에 연결되는 드레인 전극을 포함할 수 있다. 이 경우, 제 2 구동 박막 트랜지스터(Tdr2)는 P형 불순물이 도핑된 반도체층을 포함하는 P 타입의 박막 트랜지스터이지만, 이에 한정되지 않고 N형 불순물이 도핑된 반도체층을 포함하는 N 타입의 박막 트랜지스터로 변경될 수 있다. N 타입의 제 2 구동 박막 트랜지스터(Tdr2)의 경우, 소스 전극은 제 2 발광 소자(ED2)에 연결되며 드레인 전극은 제 1 구동 전원 라인(PL1)에 연결될 수 있다.
- [0051] 상기 제 2 커패시터(Cst2)는 제 2 구동 박막 트랜지스터(Tdr2)의 게이트 전극과 소스 전극 사이의 중첩 영역에 마련되어 제 2 구동 박막 트랜지스터(Tdr2)의 게이트 전극에 공급되는 데이터 신호에 대응되는 전압을 저장하고, 저장된 전압으로 제 2 구동 박막 트랜지스터(Tdr2)를 턴-온시킨다.
- [0052] 선택적으로, 제 1 및 제 2 화소 회로(PC1, PC2) 각각은 구동 박막 트랜지스터(Tdr1, Tdr2)의 문턱 전압 변화를 보상하기 위한 적어도 하나의 보상 박막 트랜지스터를 더 포함할 수 있으며, 나아가 적어도 하나의 보조 커패시터를 더 포함할 수 있다. 이러한 제 1 및 제 2 화소 회로(PC1, PC2) 각각은 박막 트랜지스터와 보조 커패시터의 개수에 따라 초기화 전압 등의 보상 전원을 추가로 공급받을 수도 있다. 따라서, 본 출원의 예에 따른 제 1 및 제 2 화소 회로(PC1, PC2) 각각은 유기 발광 디스플레이 장치의 각 화소와 동일하게 전류 구동 방식을 통해 발광 소자(ED1, ED2)를 구동하기 때문에 공지된 유기 발광 디스플레이 장치의 화소 회로로 변경 가능하다. 예를 들어, 본 출원의 예에 따른 제 1 및 제 2 화소 회로(PC1, PC2) 각각은 본 출원인에 의해 공지된 대한민국 등록특허 제10-1749752호, 대한민국 공개특허 제10-2017-0037729호, 대한민국 공개특허 제10-2017-0062603호, 또는 대한민국 공개특허 제10-2017-0081078호에 개시된 화소 회로로 변경될 수 있다.

- [0053] 일 예에 따른 제 2 화소 회로(PC2)는 제 1 발광 소자(ED1)를 기관(100)에 실장하는 공정에서 발생하는 미스 얼라인 또는 전기적 충격에 의해 구동 불량일 경우를 대비하여 미리 마련된 리던던시(redundancy) 회로로 사용될 수 있다.
- [0054] 상기 제 1 발광 소자(ED1)는 제 1 화소 회로(PC1)와 제 3 발광 소자(ED3) 사이에 전기적으로 연결된다. 이러한 제 1 발광 소자(ED1)는 제 1 화소 회로(PC1), 즉 제 1 구동 박막 트랜지스터(Tdr1)로부터 제 3 발광 소자(ED3)를 통해 제 2 구동 전원 라인(PL2)으로 흐르는 전류에 의해 발광할 수 있다. 일 예에 따른 제 1 발광 소자(ED1)는 적색 광, 녹색 광, 청색 광, 및 백색 광 중 어느 하나의 광을 방출하는 마이크로 발광 다이오드 칩일 수 있다.
- [0055] 일 예에 따른 제 1 발광 소자(ED1)는 제 1 화소 회로(PC1)에 연결된 제 1 단자와 공통 연결 패턴(CCP)에 연결된 제 2 단자를 포함할 수 있다. 이와 같은, 제 1 발광 소자(ED1)는 제 1 화소 회로(PC1)와 함께 화소(P)의 제 1 발광부를 구성할 수 있다. 이 경우, 제 1 발광부는 제 2 방향(Y)을 기준으로, 제 1 게이트 라인(GLa)에 인접한 화소(P)의 상측 영역에 배치될 수 있다.
- [0056] 상기 제 2 발광 소자(ED2)는 제 2 화소 회로(PC2)와 제 3 발광 소자(ED3) 사이에 전기적으로 연결된다. 이러한 제 2 발광 소자(ED2)는 제 2 화소 회로(PC2), 즉 제 2 구동 박막 트랜지스터(Tdr2)로부터 제 3 발광 소자(ED3)를 통해 제 2 구동 전원 라인(PL2)으로 흐르는 전류에 의해 발광할 수 있다. 일 예에 따른 제 2 발광 소자(ED2)는 제 1 발광 소자(ED1)와 동일한 광을 방출하는 마이크로 발광 다이오드 칩일 수 있다. 제 2 발광 소자(ED2)는 제 1 발광 소자(ED1)를 기관(100)에 실장되는 공정에서 발생하는 미스 얼라인 또는 전기적 충격에 의해 구동 불량일 경우를 대비하여 미리 마련된 리던던시(redundancy) 발광 소자로 사용될 수 있다.
- [0057] 일 예에 따른 제 2 발광 소자(ED2)는 제 2 화소 회로(PC2)에 연결된 제 1 단자와 공통 연결 패턴(CCP)에 연결된 제 2 단자를 포함할 수 있다. 이와 같은, 제 2 발광 소자(ED2)는 제 2 화소 회로(PC2)와 함께 화소(P)의 제 2 발광부를 구성할 수 있다. 이 경우, 제 2 발광부는 제 2 방향(Y)을 기준으로, 제 2 게이트 라인(GLb)에 인접한 화소(P)의 하측 영역에 배치될 수 있다.
- [0058] 상기 제 3 발광 소자(ED3)는 제 2 구동 전원 라인(PL2)과 공통 연결 패턴(CCP) 사이에 연결된다. 예를 들어, 제 3 발광 소자(ED3)는 공통 연결 패턴(CCP)을 통해 제 1 발광 소자(ED1)와 전기적으로 직렬 연결되면서 제 2 발광 소자(ED2)와도 전기적으로 직렬 연결된다. 이에 따라, 제 1 발광 소자(ED1)와 제 2 발광 소자(ED2)는 공통 연결 패턴(CCP)에 의해 서로 병렬 연결되면서 제 3 발광 소자(ED3)와 각각 직렬 연결된다. 일 예에 따른 제 3 발광 소자(ED3)는 제 1 발광 소자(ED1)와 동일한 광을 방출하는 마이크로 발광 다이오드 칩일 수 있다. 이러한 제 3 발광 소자(ED3)는 제 1 발광 소자(ED1) 또는 제 2 발광 소자(ED2)와 전기적으로 직렬 접속됨으로써 화소(P)의 발광 휘도를 증가시키면서 화소(P)에 공급되는 입력 전류를 절반으로 감소시켜 화소(P)의 소비전력을 감소시킴으로써 발광 다이오드 디스플레이 장치의 전체적인 소비전력을 감소시키는데 기여할 수 있다. 그리고, 제 3 발광 소자(ED3)는 제 1 발광 소자(ED1)의 구동 불량시, 화소(P)의 리던던시 구동에 따라 제 2 발광 소자(ED2)와 전기적으로 직렬 접속되어 화소(P)의 정상 구동을 가능하게 한다.
- [0059] 일 예에 따른 제 3 발광 소자(ED3)는 공통 연결 패턴(CCP)에 연결된 제 1 단자, 및 제 2 구동 전원 라인(PL2)과 연결된 제 2 단자를 포함할 수 있다. 이와 같은, 제 3 발광 소자(ED3)는 화소(P)의 제 3 발광부를 구성할 수 있다. 이 경우, 제 3 발광부는 제 2 방향(Y)을 기준으로, 제 1 게이트 라인(GLa)과 제 2 게이트 라인(GLb) 사이에 대응되는 화소(P)의 중간 영역에 배치될 수 있다. 이에 따라, 제 3 발광 소자(ED3)는 제 1 발광 소자(ED1)와 제 2 발광 소자(ED2) 사이에 배치될 수 있다. 이때, 제 3 발광 소자(ED3)를 기준으로 제 1 발광 소자(ED1)와 제 2 발광 소자(ED2) 간의 거리(D1, D2)가 비대칭일 경우, 화소별 휘도 균일성이 저하되어 화질이 저하되며, 줄무늬 같은 화질 불량이 발생될 수 있다. 따라서, 제 1 내지 제 3 발광 소자(ED1, ED2, ED3)는 제 2 방향(Y)을 따라 일렬로 배치되며, 제 3 발광 소자(ED3)와 제 1 발광 소자(ED1) 사이의 제 1 거리(L1)는 제 3 발광 소자(ED3)와 제 2 발광 소자(ED2) 사이의 제 2 거리(L2)와 동일하게 설정됨으로써 제 1 내지 제 3 발광 소자(ED1, ED2, ED3)의 비대칭 배치로 인한 화질 저하가 방지될 수 있다.
- [0060] 상기 공통 연결 패턴(CCP)은 제 1 발광 소자(ED1)와 제 2 발광 소자(ED2)에 공통적으로 연결됨으로써 제 1 발광 소자(ED1)와 제 2 발광 소자(ED2)를 전기적으로 병렬 연결한다. 공통 연결 패턴(CCP)의 일부는 제 2 구동 전원 라인(PL2)과 중첩되도록 기관(100) 상에 배치될 수 있다. 공통 연결 패턴(CCP)의 일부는 제 3 발광 소자(ED3)가 구동 불량일 경우, 제 1 발광 소자(ED1)와 제 2 발광 소자(ED2) 중 적어도 하나를 제 2 구동 전원 라인(PL2)에 전기적으로 연결할 수 있다. 이 경우, 공통 연결 패턴(CCP)의 일부는 레이저 리페어 공정에 따른 레이저

웰딩(laser welding)을 위한 레이저 웰딩부(또는 리페어 포인트)로 사용될 수 있다.

- [0061] 일 예에 따른 공통 연결 패턴(CCP)은 제 1 단자 연결 라인(TCL1), 제 1 중첩 라인(OL1), 제 2 단자 연결 라인(TCL2), 제 2 중첩 라인(OL2), 및 제 3 단자 연결 라인(TCL3)을 포함할 수 있다.
- [0062] 상기 제 1 단자 연결 라인(TCL1)은 제 1 방향(X)과 나란하도록 기관(100) 상에 배치되어 제 1 발광 소자(ED1)의 제 2 단자와 전기적으로 연결된다. 예를 들어, 제 1 단자 연결 라인(TCL1)의 일단은 제 1 발광 소자(ED1)의 제 2 단자와 전기적으로 연결될 수 있다. 그리고, 제 1 단자 연결 라인(TCL1)의 타단은 제 2 구동 전원 라인(PL2)과 중첩될 수 있다.
- [0063] 상기 제 1 중첩 라인(OL1)은 제 2 방향(Y)과 나란하도록 제 1 단자 연결 라인(TCL1)으로부터 연장되어 제 2 구동 전원 라인(PL2)과 중첩된다. 예를 들어, 제 1 중첩 라인(OL1)의 일단은 제 2 구동 전원 라인(PL2) 상에서 제 1 단자 연결 라인(TCL1)의 타단과 연결될 수 있다. 그리고, 제 1 중첩 라인(OL1)의 타단은 제 1 게이트 라인(GLa)과 제 2 게이트 라인(GLb) 사이에 배치된 제 2 구동 전원 라인(PL2) 상에 배치될 수 있다. 이와 같은, 제 1 중첩 라인(OL1)은 제 2 구동 전원 라인(PL2)과 중첩됨으로써 제 3 발광 소자(ED3)의 구동 불량시, 제 2 구동 전원 라인(PL2)과 전기적으로 연결될 수 있으며, 이로 인하여 제 1 중첩 라인(OL1)의 적어도 일부는 레이저 리페어 공정에 따른 레이저 웰딩(laser welding)을 위한 제 1 레이저 웰딩부(또는 리페어 포인트)(LWP1)로 설정된다.
- [0064] 상기 제 2 단자 연결 라인(TCL2)은 제 1 중첩 라인(OL1)으로부터 연장되어 제 3 발광 소자(ED3)의 제 1 단자에 연결된다. 예를 들어, 제 2 단자 연결 라인(TCL2)의 일단은 제 2 구동 전원 라인(PL2) 상에서 제 1 중첩 라인(OL1)의 타단과 연결될 수 있다. 그리고, 제 2 단자 연결 라인(TCL2)의 타단은 제 2 구동 전원 라인(PL2)과 중첩될 수 있다. 또한, 제 2 단자 연결 라인(TCL2)의 일단과 타단 사이의 중간부는 제 3 발광 소자(ED3)를 둘러싸는 형태로 배치되어 제 3 발광 소자(ED3)의 제 1 단자와 연결될 수 있다. 일 예에 따른 제 2 단자 연결 라인(TCL2)는 평면적으로 "ㄷ"자 형태를 가질 수 있다.
- [0065] 상기 제 2 중첩 라인(OL2)은 제 2 방향(Y)과 나란하도록 제 2 단자 연결 라인(TCL2)으로부터 연장되어 제 2 구동 전원 라인(PL2)과 중첩된다. 예를 들어, 제 2 중첩 라인(OL2)의 일단은 제 2 구동 전원 라인(PL2) 상에서 제 2 단자 연결 라인(TCL2)의 타단과 연결될 수 있다. 그리고, 제 2 중첩 라인(OL2)의 타단은 제 2 구동 전원 라인(PL2) 상에 배치될 수 있다. 이와 같은, 제 2 중첩 라인(OL2)은 제 2 구동 전원 라인(PL2)과 중첩됨으로써 제 3 발광 소자(ED3)의 구동 불량시, 제 2 구동 전원 라인(PL2)과 전기적으로 연결될 수 있으며, 이로 인하여 제 2 중첩 라인(OL2)의 적어도 일부는 레이저 리페어 공정에 따른 레이저 웰딩(laser welding)을 위한 제 2 레이저 웰딩부(또는 리페어 포인트)(LWP2)로 설정된다.
- [0066] 상기 제 3 단자 연결 라인(TCL3)은 제 1 방향(X)과 나란하도록 제 2 중첩 라인(OL2)의 타단으로부터 연장되어 제 2 발광 소자(ED2)의 제 2 단자와 전기적으로 연결된다. 예를 들어, 제 3 단자 연결 라인(TCL3)의 일단은 제 2 구동 전원 라인(PL2) 상에서 제 2 중첩 라인(OL2)의 타단과 연결될 수 있다. 그리고, 제 3 단자 연결 라인(TCL3)의 타단은 제 2 발광 소자(ED2)의 제 2 단자와 전기적으로 연결될 수 있다.
- [0067] 이와 같은, 공통 연결 패턴(CCP)은 제 1 발광 소자(ED1)와 제 2 발광 소자(ED2) 각각의 제 2 단자와 제 3 발광 소자(ED3)의 제 1 단자에 공통적으로 연결됨으로써, 제 1 발광 소자(ED1)와 제 2 발광 소자(ED2) 및 제 3 발광 소자(ED3)를 전기적으로 직렬과 병렬로 연결하며, 제 3 발광 소자(ED3)의 구동 불량시 제 1 중첩 라인(OL1)과 제 2 중첩 라인(OL2) 중 적어도 하나가 레이저 리페어 공정에 의해 제 2 구동 전원 라인(PL2)과 전기적으로 연결됨으로써 화소(P)의 신뢰성과 생산 수율을 향상시킬 수 있다.
- [0068] 본 출원의 일 예에 따른 화소(P)는 제 1 내지 제 3 브리지 전극 패턴(BEP1, BEP2, BEP3)을 더 포함할 수 있다.
- [0069] 상기 제 1 브리지 전극 패턴(BEP1)은 제 1 화소 회로(PC1)와 제 1 발광 소자(ED1)의 제 1 단자를 전기적으로 연결한다. 예를 들어, 제 1 브리지 전극 패턴(BEP1)은 제 1 구동 박막 트랜지스터(Tdr1)의 소스 전극과 제 1 발광 소자(ED1)의 제 1 단자를 전기적으로 연결할 수 있다.
- [0070] 상기 제 2 브리지 전극 패턴(BEP2)은 제 2 화소 회로(PC2)와 제 2 발광 소자(ED2)의 제 1 단자를 전기적으로 연결한다. 예를 들어, 제 2 브리지 전극 패턴(BEP2)은 제 2 구동 박막 트랜지스터(Tdr2)의 소스 전극과 제 2 발광 소자(ED2)의 제 1 단자를 전기적으로 연결할 수 있다.
- [0071] 상기 제 3 브리지 전극 패턴(BEP3)은 제 3 발광 소자(ED3)의 제 2 단자와 제 2 구동 전원 라인(PL2)를 전기적으로 연결한다. 이 경우, 공통 연결 패턴(CCP)의 제 2 단자 연결 라인(TCL2)은 제 3 브리지 전극 패턴(BEP3)을

우회하도록 제 1 증첩 라인(OL1)으로부터 연장되어 제 2 증첩 라인(OL2)과 연결된다.

- [0072] 상기 공통 연결 패턴(CCP) 및 제 1 내지 제 3 브리지 전극 패턴(BEP1, BEP2, BEP3) 각각은 투명 도전성 재질로 이루어질 수 있다. 예를 들어, 투명 도전성 재질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등이 될 수 있지만, 이에 한정되지 않는다.
- [0073] 도 3을 참조하면, 일 예에 따른 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각은 발광층(EL), 제 1 단자(또는 애노드 단자)(T1), 및 제 2 단자(또는 캐소드 단자) (T2)를 포함한다.
- [0074] 상기 발광층(EL)은 제 1 단자(T1)과 제 2 단자(T2) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 따라 발광한다. 일 예에 따른 발광층(EL)은 제 1 반도체층(SL1), 활성층(ACL), 및 제 2 반도체층(SL2)을 포함한다.
- [0075] 상기 제 1 반도체층(SL1)은 활성층(ACL)에 전자를 제공한다. 일 예에 따른 제 1 반도체층(SL1)은 n-GaN계 반도체 물질로 이루어질 수 있으며, n-GaN계 반도체 물질로는 GaN, AlGaN, InGaN, 또는 AlInGaN 등이 될 수 있다. 여기서, 제 1 반도체층(SL1)의 도핑에 사용되는 불순물로는 Si, Ge, Se, Te, 또는 C 등이 사용될 수 있다.
- [0076] 상기 활성층(ACL)은 제 1 반도체층(SL1)의 일측 상에 마련된다. 이러한 활성층(ACL)은 우물층과 우물층보다 밴드 갭이 높은 장벽층을 갖는 다중 양자 우물(MQW; Multi Quantum Well) 구조를 갖는다. 일 예에 따른 활성층(ACL)은 InGaN/GaN 등의 다중 양자 우물 구조를 가질 수 있다.
- [0077] 상기 제 2 반도체층(SL2)은 활성층(ACL) 상에 마련되어, 활성층(ACL)에 정공을 제공한다. 일 예에 따른 제 2 반도체층(SL2)은 p-GaN계 반도체 물질로 이루어질 수 있으며, p-GaN계 반도체 물질로는 GaN, AlGaN, InGaN, 또는 AlInGaN 등이 될 수 있다. 여기서, 제 2 반도체층(SL2)의 도핑에 사용되는 불순물로는 Mg, Zn, 또는 Be 등이 이용될 수 있다.
- [0078] 상기 제 1 단자(T1)는 제 2 반도체층(SL2) 상에 마련된다.
- [0079] 상기 제 2 단자(T2)는 활성층(ACL)과 제 2 반도체층(SL2)으로부터 전기적으로 분리되도록 제 1 반도체층(SL1)의 타측 상에 마련된다.
- [0080] 일 예에 따른 제 1 및 제 2 단자(T1, T2) 각각은 Au, W, Pt, Si, Ir, Ag, Cu, Ni, Ti, 또는 Cr 등의 금속 물질 및 그 합금 중 하나 이상을 포함한 물질로 이루어질 수 있다. 다른 예에 따른 제 1 및 제 2 단자(T1, T2) 각각은 투명 도전성 재질로 이루어질 수 있으며, 상기 투명 도전성 재질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등이 될 수 있지만, 이에 한정되지 않는다.
- [0081] 부가적으로, 제 1 반도체층(SL1)과 활성층(ACL) 및 제 2 반도체층(SL2) 각각은 반도체 기판 상에 순차적으로 적층되는 구조로 마련될 수 있다. 여기서, 반도체 기판은 사파이어 기판(sapphire substrate) 또는 실리콘 기판 등의 반도체 물질을 포함한다. 이러한 반도체 기판은 제 1 반도체층(SL1)과 활성층(ACL) 및 제 2 반도체층(SL2) 각각을 성장시키기 위한 성장용 기판으로 사용된 후, 기판 분리 공정에 의해 제 1 반도체층(SL1)으로부터 분리될 수 있다. 여기서, 기판 분리 공정은 레이저 리프트 오프(Laser Lift Off) 또는 케미컬 리프트 오프(Cheical Lift Off) 등이 될 수 있다. 이에 따라, 발광 소자에서 성장용 반도체 기판이 제거됨에 따라 발광 소자는 상대적으로 얇은 두께를 가질 수 있으며, 이로 인하여 각 화소(P)에 배치될 수 있다.
- [0082] 이와 같은, 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각은 제 1 단자(T1)과 제 2 전극(T2) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 따라 발광한다. 이때, 제 1 내지 제 3 발광 소자(ED1, ED2, ED3)에서 방출되는 광은 제 1 및 제 2 단자(T1, T2) 각각을 투과하여 외부로 방출된다. 다시 말하여, 제 1 내지 제 3 발광 소자(ED1, ED2, ED3)에서 방출되는 광은 제 1 및 제 2 단자(T1, T2) 각각을 투과하여 외부로 방출됨으로써 영상을 표시한다.
- [0083] 상기 제 1 내지 제 3 발광 소자(ED1, ED2, ED3)는 제 1 및 제 2 단자(T1, T2)를 갖는 제 1 부분(또는 전면부)(FP), 및 제 1 부분(FP)과 반대되는 제 2 부분(또는 후면부)(RP)을 포함한다. 이때, 제 1 부분(FP)은 제 2 부분(RP)보다 기판(100)으로부터 상대적으로 멀리 이격된다. 여기서, 제 1 부분(FP)은 제 2 부분(RP)보다 작은 크기를 가질 수 있으며, 이 경우, 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각은 제 1 부분(FP)과 대응되는 윗면과 제 2 부분(RP)과 대응되는 밑면을 갖는 사다리꼴 형태의 단면을 가질 수 있다. 이와 같은, 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각은 접착 부재를 매개로 하여 기판(100) 상에 고정될 수 있다.
- [0084] 선택적으로, 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각은 도 3에 도시된 Lateral Chip 구조에 한정되지 않고, Vertical Chip 구조 또는 Flip Chip 구조를 가질 수 있다.

- [0085] 도 5는 도 4에 도시된 선 I-I'의 단면도이며, 도 6은 도 4에 도시된 선 II-II'의 단면도로서, 이는 도 2에 도시된 화소의 단면 구조를 설명하기 위한 도면이다.
- [0086] 도 5 및 도 6을 도 3과 결부하면, 본 예에 따른 발광 다이오드 디스플레이 장치의 화소(P)는 기관(100), 화소 회로층(PCL), 반사 패턴(130), 접촉층(150), 제 1 내지 제 3 발광 소자(ED1, ED2, ED3), 평탄화층(170), 제 1 내지 제 3 브리지 전극 패턴(BEP1, BEP2, BEP3), 공통 연결 패턴(CCP), बैं크 패턴(BNK), 보호층(190), 및 봉지 기관(300)을 포함할 수 있다.
- [0087] 상기 기관(100)은 트랜지스터 어레이 기관으로서, 글라스 재질 또는 플라스틱 재질로 이루어질 수 있다.
- [0088] 상기 화소 회로층(PCL)는 데이터 라인(DL), 제 1 및 제 2 게이트 라인(GLa, GLb), 제 1 구동 전원 라인(PL1), 제 2 구동 전원 라인(PL2), 및 화소 회로(PC)를 포함할 수 있다.
- [0089] 상기 화소 회로(PC)는 제 1 스위칭 박막 트랜지스터(Tsw1)와 제 1 구동 트랜지스터(Tdr1) 및 제 1 커패시터(Cst1)를 갖는 제 1 화소 회로(PC1), 및 제 2 스위칭 박막 트랜지스터(Tsw2)와 제 2 구동 트랜지스터(Tdr2) 및 제 2 커패시터(Cst2)를 갖는 제 2 화소 회로(PC2)를 포함할 수 있다.
- [0090] 상기 제 1 및 제 2 스위칭 박막 트랜지스터(Tsw1, Tsw2) 및 제 1 및 제 2 구동 박막 트랜지스터(Tdr1, Tdr2) 각각은 액티브층(111), 게이트 절연층(112), 게이트 전극(GE), 층간 절연층(113), 드레인 전극(DE), 소스 전극(SE), 및 패시베이션층(115)을 포함할 수 있다.
- [0091] 상기 액티브층(111)은 제 1 방향(X)과 나란한 길이 방향을 가지도록 화소 영역의 트랜지스터 영역에 섬 형태로 형성된다. 예를 들어, 액티브층(111)은 채널 영역(CA)과 드레인 영역(DA) 및 소스 영역(SA)을 포함한다. 이 경우, 드레인 영역(DA)과 소스 영역(SA)은 채널 영역(CA)을 사이에 두고 서로 나란하도록 이격될 수 있다. 이러한 액티브층(111)은 비정질 실리콘(amorphous silicon), 다결정 실리콘(polycrystalline silicon), 및 산화물(oxide) 중 어느 하나로 이루어지면서 P형 불순물이 도핑된 반도체 물질로 구성될 수 있지만, 이에 제한되지 않는다.
- [0092] 일 예에 따른 게이트 절연층(112)은 액티브층(111)을 포함하는 기관(100)의 전면(前面) 전체에 형성될 수 있다. 다른 예에 따른 게이트 절연층(112)은 액티브층(111)의 채널 영역(CA) 상에만 섬 형태로 형성될 수 있다.
- [0093] 상기 게이트 전극(GE)은 액티브층(111)의 채널 영역(CA)과 중첩되도록 게이트 절연층(112) 상에 형성된다. 예를 들어, 제 1 스위칭 박막 트랜지스터(Tsw1)의 게이트 전극(GE)은 제 1 게이트 라인(GLa)의 일측으로부터 액티브층(111)의 채널 영역(CA) 쪽으로 돌출될 수 있다. 제 2 스위칭 박막 트랜지스터(Tsw2)의 게이트 전극(GE)은 제 2 게이트 라인(GLb)의 일측으로부터 액티브층(111)의 채널 영역(CA) 쪽으로 돌출될 수 있다. 제 1 구동 박막 트랜지스터(Tdr1)의 게이트 전극(GE)은 제 1 게이트 라인(GLa)과 나란하도록 형성되며, 제 1 스토리지 커패시터(Cst1)의 제 1 하부 커패시터 전극(LCE1)의 역할을 겸한다. 제 2 구동 박막 트랜지스터(Tdr2)의 게이트 전극(GE)은 제 2 게이트 라인(GLb)과 나란하도록 형성되며, 제 2 스토리지 커패시터(Cst2)의 제 2 하부 커패시터 전극(LCE2)의 역할을 겸한다. 일 예에 따른 제 1 게이트 라인(GLa)과 제 2 게이트 라인(GLb) 및 게이트 전극(GE)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뎀(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.
- [0094] 상기 층간 절연층(113)은 게이트 전극(GE)을 덮도록 게이트 절연층(112)의 전체에 형성될 수 있다. 예를 들어, 층간 절연층(113)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx)과 같은 무기 물질로 이루어질 수 있다.
- [0095] 상기 소스 전극(SE)은 액티브층(111)의 소스 영역(SA)과 중첩되는 층간 절연층(113)에 마련되어 액티브층(111)의 소스 영역(SA)과 전기적으로 연결된다. 예를 들어, 제 1 스위칭 박막 트랜지스터(Tsw1)의 소스 전극(SE)은 데이터 라인(DL)의 제 1 측으로부터 액티브층(111)의 소스 영역(SA) 쪽으로 돌출되고 제 1 소스 콘택홀(Hs1)을 통해 액티브층(111)의 소스 영역(SA)과 전기적으로 연결된다. 제 2 스위칭 박막 트랜지스터(Tsw2)의 소스 전극(SE)은 데이터 라인(DL)의 제 2 측으로부터 액티브층(111)의 소스 영역(SA) 쪽으로 돌출되고 제 2 소스 콘택홀(Hs2)을 통해 액티브층(111)의 소스 영역(SA)과 전기적으로 연결된다. 제 1 구동 박막 트랜지스터(Tdr1)의 소스 전극(SE)은 제 1 구동 전원 라인(PL1)의 제 1 측으로부터 액티브층(111)의 소스 영역(SA) 쪽으로 돌출되고 제 3 소스 콘택홀(Hs3)을 통해 액티브층(111)의 소스 영역(SA)과 전기적으로 연결된다. 제 2 구동 박막 트랜지스터(Tdr2)의 소스 전극(SE)은 제 1 구동 전원 라인(PL1)의 제 2 측으로부터 액티브층(111)의 소스 영역(SA) 쪽으로 돌출되고 제 4 소스 콘택홀(Hs4)을 통해 액티브층(111)의 소스 영역(SA)과 전기적으로 연결된다.

- [0096] 상기 드레인 전극(DE)은 액티브층(111)의 드레인 영역(DA)과 중첩되는 층간 절연층(113)에 마련되어 액티브층(111)의 드레인 영역(DA)과 전기적으로 연결된다. 예를 들어, 제 1 스위칭 박막 트랜지스터(Tsw1)의 드레인 전극(DE)은 액티브층(111)의 드레인 영역(DA)과 중첩되는 층간 절연층(113) 상에 섬 형태로 형성됨으로써 제 1 드레인 콘택홀(Hd1)을 통해 액티브층(111)의 드레인 영역(DA)과 전기적으로 연결되며 제 1 노드 콘택홀(Hn1)을 통해 제 1 구동 박막 트랜지스터(Tdr1)의 게이트 전극(GE)과 전기적으로 연결된다. 제 2 스위칭 박막 트랜지스터(Tsw2)의 드레인 전극(DE)은 액티브층(111)의 드레인 영역(DA)과 중첩되는 층간 절연층(113) 상에 섬 형태로 형성됨으로써 제 2 드레인 콘택홀(Hd2)을 통해 액티브층(111)의 드레인 영역(DA)과 전기적으로 연결되며 제 2 노드 콘택홀(Hn2)을 통해 제 2 구동 박막 트랜지스터(Tdr2)의 게이트 전극(GE)과 전기적으로 연결된다. 제 1 구동 박막 트랜지스터(Tdr1)의 드레인 전극(DE)은 액티브층(111)의 드레인 영역(DA)과 중첩되는 층간 절연층(113) 상에 섬 형태로 형성되고 제 3 드레인 콘택홀(Hd3)을 통해 액티브층(111)의 드레인 영역(DA)과 전기적으로 연결된다. 제 2 구동 박막 트랜지스터(Tdr2)의 드레인 전극(DE)은 액티브층(111)의 드레인 영역(DA)과 중첩되는 층간 절연층(113) 상에 섬 형태로 형성되고 제 4 드레인 콘택홀(Hd4)을 통해 액티브층(111)의 드레인 영역(DA)과 전기적으로 연결된다.
- [0097] 상기 제 2 구동 전원 라인(PL2)은 데이터 라인(DL)과 드레인 전극(DE) 및 소스 전극(SE) 그리고 제 1 구동 전원 라인(PL1)과 함께 층간 절연층(113) 상에 형성된다.
- [0098] 상기 데이터 라인(DL), 드레인 전극(DE), 소스 전극(SE), 제 1 구동 전원 라인(PL1) 및 제 2 구동 전원 라인(PL2) 각각은 동일한 금속 재질로 이루어지며, 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뮴(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.
- [0099] 상기 화소 회로(PC)는 제 1 구동 전원 라인(PL1)의 제 3 측으로부터 제 1 구동 박막 트랜지스터(Tdr1)의 게이트 전극(GE) 쪽으로 돌출된 제 1 상부 커패시터 전극(UCE1), 및 제 1 구동 전원 라인(PL1)의 제 4 측으로부터 제 2 구동 박막 트랜지스터(Tdr2)의 게이트 전극(GE) 쪽으로 돌출된 제 2 상부 커패시터 전극(UCE2)을 더 포함한다. 이에 따라, 층간 절연층(113)을 사이에 두고 서로 중첩되는 제 1 하부 커패시터 전극(LCE1)와 제 1 상부 커패시터 전극(UCE1)는 제 1 스토리지 커패시터(Cst1)를 형성한다. 층간 절연층(113)을 사이에 두고 서로 중첩되는 제 2 하부 커패시터 전극(LCE2)와 제 2 상부 커패시터 전극(UCE2)는 제 2 스토리지 커패시터(Cst2)를 형성한다.
- [0100] 상기 패시베이션층(115)은 제 1 및 제 2 구동 박막 트랜지스터(Tdr1, Tdr2) 각각의 드레인 전극(DE)과 제 2 구동 전원 라인(PL2)을 제외한 나머지 층간 절연층(113)을 덮도록 기판(100) 상에 형성된다.
- [0101] 일 예에 따른 패시베이션층(115)은 공통 연결 패턴(CCP)의 중첩 라인(OL1, OL2)에 설정된 레이저 웨딩부(LWP1, LWP2)에서 중첩 라인(OL1, OL2)과 제 2 구동 전원 라인(PL2) 간의 전기적으로 쇼트를 방지하기 위하여, 0.04마이크로미터 이상의 두께를 가질 수 있으며, 두꺼울수록 전기적인 효과를 증가하지만, 재료비 및 공정시간을 고려할 때, 0.04 ~ 0.5마이크로미터의 두께를 가질 수 있다.
- [0102] 상기 반사 패턴(130)은 패시베이션층(115) 상에 설정된 제 1 내지 제 3 소자 실장 영역에 배치되어 제 1 내지 제 3 발광 소자(ED1, ED2 ED3) 각각과 중첩된다. 예를 들어, 반사 패턴(130)은 제 1 내지 제 3 발광 소자(ED1, ED2 ED3) 각각과 기판(100) 사이에 배치될 수 있다. 또한, 반사 패턴(130)은 제 1 및 제 2 구동 박막 트랜지스터(Tdr1, Tdr2) 각각의 드레인 전극(DE)과 제 2 구동 전원 라인(PL2) 각각에 추가로 적층될 수 있으며, 이 경우, 반사 패턴(130)은 드레인 전극(DE)과 제 2 구동 전원 라인(PL2)의 형성을 위한 패터닝 공정시, 드레인 전극(DE)과 제 2 구동 전원 라인(PL2)을 보호하는 역할을 할 수 있다.
- [0103] 일 예에 따른 반사 패턴(130)은 상대적으로 반사율이 높은 금속 재질로 이루어질 수 있다. 이러한 반사 패턴(130)은 제 1 내지 제 3 발광 소자(ED1, ED2 ED3) 각각으로부터 입사되는 광을 봉지 기판(300) 쪽으로 반사시킨다. 이에 따라, 본 예에 따른 발광 다이오드 디스플레이 장치는 반사 패턴(130)을 포함함에 따라 전면 발광(top emission) 구조를 가질 수 있다.
- [0104] 추가적으로, 반사 패턴(130)은 도 5에 도시된 확대도(A)와 같이, 공통 연결 패턴(CCP)의 중첩 라인(OL1, OL2)에 설정된 레이저 웨딩부(LWP1, LWP2)와 중첩되는 패시베이션층(115) 상에 추가로 배치될 수 있다. 이 경우, 공통 연결 패턴(CCP)의 중첩 라인(OL1, OL2)의 일부는 반사 패턴(130)과 직접적으로 연결될 수 있으며, 반사 패턴(130)은 패시베이션층(115)을 사이에 두고 제 2 구동 전원 라인(PL2)과 중첩됨으로써 후속되는 평탄화층(170)의 패터닝 공정에 의해 공통 연결 패턴(CCP)의 중첩 라인(OL1, OL2)의 일부와 중첩되는 패시베이션층(115)이 제거되는 것을 방지하고, 이를 통해 패시베이션층(115)의 두께 감소에 따른 공통 연결 패턴(CCP)의 중첩 라인(OL1,

OL2)과 제 2 구동 전원 라인(PL2) 간의 전기적으로 쇼트를 방지할 수 있다. 이에 따라, 공통 연결 패턴(CCP)과 전기적으로 연결되면서 패시베이션층(115)을 사이에 두고 제 2 구동 전원 라인(PL2)과 중첩되는 반사 패턴(130)은 레이저 웨딩부(LWP1, LWP2)와 중첩되는 패시베이션층(115)의 식각을 방지하는 식각 방지층(또는 식각 저지층)의 역할을 한다.

- [0105] 상기 접착층(150)은 제 1 내지 제 3 소자 실장 영역 상에 배치된 반사 패턴(130) 상에 형성된다. 접착층(150)은 제 2 구동 전원 라인(PL2) 상에 설정된 패턴 컨택 영역을 제외한 나머지 패시베이션층(115) 상에도 형성될 수 있다. 예를 들어, 접착층(150)은 광경화성 접착 수지로 이루어질 수 있다.
- [0106] 상기 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각은 해당하는 소자 실장 영역에 배치된 접착층(150)에 접착됨으로써 화소(P) 내에 고정된다. 이때, 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각의 제 2 부분(RP)은 접착층(150)에 접착되며, 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각의 제 1 부분(FP)에 배치된 제 1 단자(T1)와 제 2 단자(T2)는 기판(100)을 향하는 방향과 반대되는 방향을 향한다.
- [0107] 상기 평탄화층(170)은 상대적으로 두꺼운 두께를 가지도록 기판(100) 상에 형성되어 제 1 내지 제 3 발광 소자(ED1, ED2, ED3)를 모두 덮음으로써 제 1 내지 제 3 발광 소자(ED1, ED2, ED3)를 완전히 고정한다. 일 예에 따른 평탄화층(170)은 벤조사이클로부텐(benzocyclobutene) 또는 포토 아크릴(photo acrylic)과 같은 유기 물질로 이루어질 수 있으나, 공정의 편의를 위해 포토 아크릴 물질로 이루어지는 것이 바람직하다.
- [0108] 상기 평탄화층(170)은 제 1 전극 컨택홀(He1), 제 2 전극 컨택홀(He2), 제 1 내지 제 3 애노드 컨택홀(Ha1, Ha2, Ha3), 제 1 내지 제 3 캐소드 컨택홀(Hc1, Hc2, Hc3), 및 전원 컨택홀(Hp)을 포함한다.
- [0109] 상기 제 1 전극 컨택홀(He1)은 제 1 구동 박막 트랜지스터(Tdr1)의 드레인 전극(DE) 일부를 노출시킨다. 상기 제 2 전극 컨택홀(He2)은 제 2 구동 박막 트랜지스터(Tdr2)의 드레인 전극(DE) 일부를 노출시킨다.
- [0110] 상기 제 1 애노드 컨택홀(Ha1)은 제 1 발광 소자(ED1)의 제 1 단자(T1) 일부를 노출시킨다. 상기 제 2 애노드 컨택홀(Ha2)은 제 2 발광 소자(ED2)의 제 1 단자(T1) 일부를 노출시킨다. 상기 제 3 애노드 컨택홀(Ha3)은 제 3 발광 소자(ED3)의 제 1 단자(T1) 일부를 노출시킨다.
- [0111] 상기 제 1 캐소드 컨택홀(Hc1)은 제 1 발광 소자(ED1)의 제 2 단자(T2) 일부를 노출시킨다. 상기 제 2 캐소드 컨택홀(Hc2)은 제 2 발광 소자(ED2)의 제 2 단자(T2) 일부를 노출시킨다. 상기 제 3 캐소드 컨택홀(Hc3)은 제 3 발광 소자(ED3)의 제 2 단자(T2) 일부를 노출시킨다.
- [0112] 상기 전원 컨택홀(Hp)은 제 1 게이트 라인(GLa)과 제 2 게이트 라인(GLb) 사이에 위치한 제 2 구동 전원 라인(PL2)의 일부를 노출시킨다.
- [0113] 추가적으로, 상기 평탄화층(170)은 화소(P)의 상측 영역을 지나는 제 2 구동 전원 라인(PL2)의 일부와 중첩되는 제 1 홈부(GP1), 및 화소(P)의 하측 영역을 지나는 제 2 구동 전원 라인(PL2)의 일부와 중첩되는 제 2 홈부(GP2)를 더 포함할 수 있다.
- [0114] 상기 제 1 홈부(GP1)는 화소(P)의 상측 영역을 지나는 제 2 구동 전원 라인(PL2)의 일부 상에 설정된 레이저 리페어 영역 상에 형성되어 있는 패시베이션층(115)(또는 반사 패턴(130))의 일부를 노출시킨다. 즉, 제 1 홈부(GP1)는 레이저 리페어 공정시 제 2 구동 전원 라인(PL2)의 일부와 공통 연결 패턴(CCP) 간의 전기적으로 연결이 용이하도록 제 2 구동 전원 라인(PL2)의 일부와 공통 연결 패턴(CCP) 사이의 두께를 최소화시키기 위해 형성된다.
- [0115] 상기 제 2 홈부(GP2)는 화소(P)의 하측 영역을 지나는 제 2 구동 전원 라인(PL2)의 일부 상에 설정된 레이저 리페어 영역 상에 형성되어 있는 패시베이션층(115)(또는 반사 패턴(130))의 일부를 노출시킨다. 즉, 제 2 홈부(GP2)는 레이저 리페어 공정시 제 2 구동 전원 라인(PL2)의 일부와 공통 연결 패턴(CCP) 간의 전기적으로 연결이 용이하도록 제 2 구동 전원 라인(PL2)의 일부와 공통 연결 패턴(CCP) 사이의 두께를 최소화시키기 위해 형성된다.
- [0116] 선택적으로, 상기 평탄화층(170)은 발광 소자(ED1, ED2, ED3)의 전체 높이(또는 두께)에 따라 하부 평탄화층과 상부 평탄화층을 포함할 수 있다.
- [0117] 상기 하부 평탄화층은 발광 소자(ED1, ED2, ED3)의 전체 높이보다 낮은 높이(또는 두께)를 가지도록 형성되어 접착층(150)에 고정된 발광 소자(ED1, ED2, ED3)를 추가로 고정할 수 있다. 상부 평탄화층은 하부 평탄화층과 동일하거나 높은 두께를 가지도록 형성되어 제 1 내지 제 3 발광 소자(ED1, ED2, ED3)를 모두 덮음으로써 제 1

내지 제 3 발광 소자(ED1, ED2, ED3)를 완전히 고정한다. 이와 같이, 평탄화층이 하부 평탄화층과 상부 평탄화층을 포함하는 경우, 평탄화층(170)에 형성되는 컨택홀은 이중 컨택홀 구조를 가질 수 있으며, 이중 컨택홀은 하부 평탄화층과 상부 평탄화층 각각에 컨택홀을 2번 형성함에 따라 하부 평탄화층에 형성되는 1차 컨택홀의 크기보다 상부 평탄화층에 형성되는 2차 컨택홀의 크기가 더 큰 구조를 가질 수 있다.

- [0118] 상기 제 1 브리지 전극 패턴(BEP1)은 제 1 전극 컨택홀(He1)과 제 1 애노드 컨택홀(Ha1)을 덮도록 평탄화층(170) 상에 섬 형태로 형성됨으로써 제 1 구동 박막 트랜지스터(Tdr1)의 드레인 전극(DE)과 제 1 발광 소자(ED1)의 제 1 단자(T1)를 전기적으로 연결한다.
- [0119] 상기 제 2 브리지 전극 패턴(BEP2)은 제 2 전극 컨택홀(He2)과 제 2 애노드 컨택홀(Ha2)을 덮도록 평탄화층(170) 상에 섬 형태로 형성됨으로써 제 2 구동 박막 트랜지스터(Tdr2)의 드레인 전극(DE)과 제 2 발광 소자(ED2)의 제 1 단자(T1)를 전기적으로 연결한다.
- [0120] 상기 제 3 브리지 전극 패턴(BEP3)은 제 3 캐소드 컨택홀(Hc3)과 전원 컨택홀(Hp)을 덮도록 평탄화층(170) 상에 섬 형태로 형성됨으로써 제 2 구동 전원 라인(PL2)과 제 3 발광 소자(ED3)의 제 2 단자(T2)를 전기적으로 연결한다.
- [0121] 상기 공통 연결 패턴(CCP)은 제 1 캐소드 컨택홀(Hc1), 화소(P)의 상측 영역에 배치된 제 2 구동 전원 라인(PL2), 제 1 스위칭 박막 트랜지스터(Tsw1), 제 1 게이트 라인(GLa), 제 3 애노드 컨택홀(Ha3), 제 2 게이트 라인(GLb), 제 2 스위칭 박막 트랜지스터(Tsw2), 화소(P)의 하측 영역에 배치된 제 2 구동 전원 라인(PL2), 및 제 2 캐소드 컨택홀(Hc2) 각각을 연속적으로 덮도록 평탄화층(170) 상에 지그재그 라인 형태로 형성됨으로써 제 1 발광 소자(ED1)의 제 2 단자(T2)와 제 2 발광 소자(ED2)의 제 2 단자(T2) 및 제 3 발광 소자(ED3)의 제 1 단자(T1)를 공통적으로 연결한다. 이 경우, 공통 연결 패턴(CCP)은 평탄화층(170) 상에 배치된 제 1 단자 연결 라인(TCL1), 제 1 중첩 라인(CL1), 제 2 단자 연결 라인(TCL2), 제 2 중첩 라인(CL2), 및 제 3 단자 연결 라인(TCL3)을 포함할 수 있다.
- [0122] 상기 제 1 단자 연결 라인(TCL1)은 제 1 캐소드 컨택홀(Hc1)을 통해 제 1 발광 소자(ED1)의 제 2 단자(T2)와 연결된다.
- [0123] 상기 제 1 중첩 라인(OL1)은 제 1 단자 연결 라인(TCL1)으로부터 연장되어 화소(P)의 상측 영역에 배치된 제 2 구동 전원 라인(PL2)과 중첩된다. 제 1 중첩 라인(OL1)의 일부는 평탄화층(170)의 제 1 홈부(GP1)를 통해 패시베이션층(115)(또는 반사 패턴(130))의 노출면에 형성됨으로써 패시베이션층(115)(또는 반사 패턴(130))을 사이에 두고 제 2 구동 전원 라인(PL2)에 상대적으로 가깝게 배치되는 제 1 레이저 웰딩부(LWP1)로 설정된다.
- [0124] 상기 제 2 단자 연결 라인(TCL2)은 제 1 스위칭 박막 트랜지스터(Tsw1), 제 1 게이트 라인(GLa), 제 3 애노드 컨택홀(Ha3), 제 2 게이트 라인(GLb) 및 제 2 스위칭 박막 트랜지스터(Tsw2)와 끊임 없이 중첩되도록 평면적으로 "ㄷ"자 형태를 가지도록 제 1 중첩 라인(OL1)으로부터 연장됨으로써 제 3 애노드 컨택홀(Ha3)을 통해 제 3 발광 소자(ED3)의 제 1 단자(T1)와 연결된다.
- [0125] 상기 제 2 중첩 라인(OL2)은 제 2 단자 연결 라인(TCL2)으로부터 연장되어 화소(P)의 하측 영역에 배치된 제 2 구동 전원 라인(PL2)과 중첩된다. 제 2 중첩 라인(OL2)의 일부는 평탄화층(170)의 제 2 홈부(GP2)를 통해 패시베이션층(115)(또는 반사 패턴(130))의 노출면에 형성됨으로써 패시베이션층(115)(또는 반사 패턴(130))을 사이에 두고 제 2 구동 전원 라인(PL2)에 상대적으로 가깝게 배치되는 제 2 레이저 웰딩부(LWP2)로 설정된다.
- [0126] 상기 제 3 단자 연결 라인(TCL3)은 제 1 중첩 라인(OL1)으로부터 연장되어 제 2 캐소드 컨택홀(Hc2)을 통해 제 2 발광 소자(ED2)의 제 2 단자(T2)와 연결된다.
- [0127] 상기 बैंक 패턴(BNK)은 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각의 발광에 따른 개구 영역(또는 광방출 영역)을 정의한다. बैंक 패턴(BNK)은 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각 상에 정의된 개구 영역을 제외한 나머지 부분 전체를 덮도록 평탄화층(170) 상에 형성된다. 예를 들어, 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각 상에 정의된 개구 영역과 중첩되는 오픈부를 포함하는 메쉬 구조 또는 매트릭스 구조로 형성될 수 있다.
- [0128] 상기 बैंक 패턴(BNK)은 인접한 화소들(P) 간의 혼색으로 원천적으로 차단하여 디스플레이 장치의 블랙 휘도를 감소시켜 디스플레이 장치가 리얼 블랙(real black)을 구현할 수 있도록 한다. 이를 위해, बैंक 패턴(BNK)은 광차단 물질 또는 광흡수 물질을 포함할 수 있다. 예를 들어, बैंक 패턴(BNK)은 블랙 매트릭스 패턴일 수 있다.

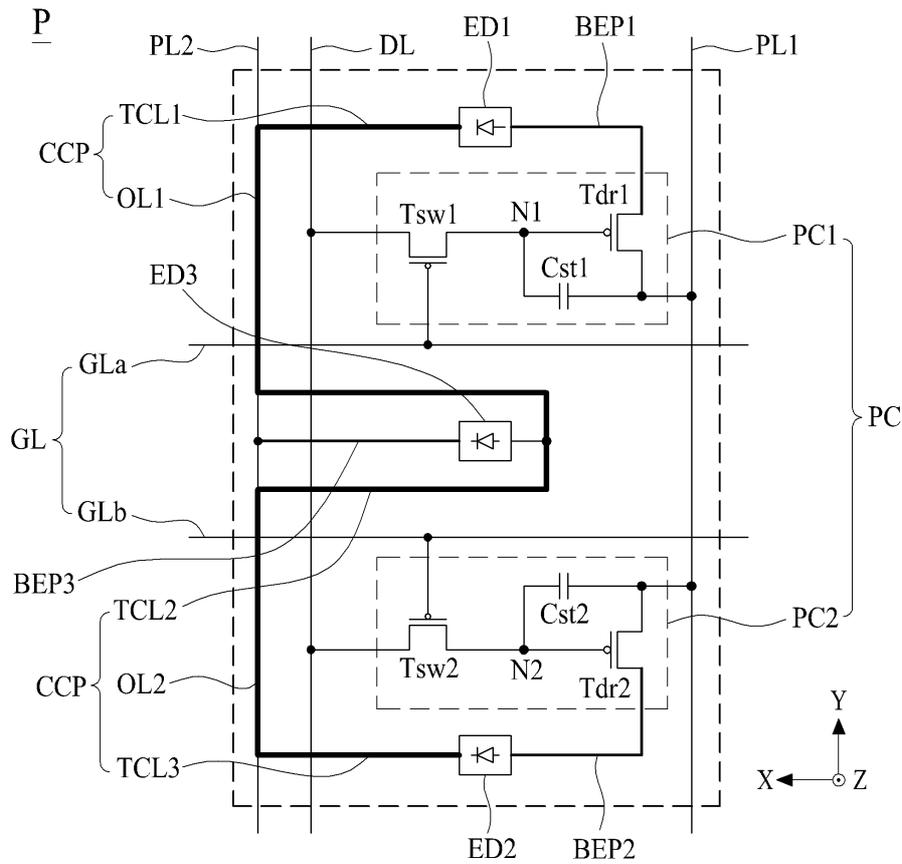
- [0129] 상기 보호층(190)은 제 1 내지 제 3 발광 소자(ED1, ED2, ED3) 각각의 개구 영역과 बैं크 패턴(BNK)을 덮도록 형성된다. 일 예에 따른 보호층(190)은 열 및/또는 광 경화성 수지로 이루어져 액상 상태로 기판(100)의 상면에 전면 코팅된 후, 열 및/또는 광을 이용한 경화 공정에 의해 경화될 수 있다. 이때, 보호층(190)의 경화 공정은 기판(100)의 상면에 코팅된 보호층(190)과 봉지 기판(300)의 합착 공정 이후에 수행될 수 있다. 이러한 보호층(190)은 기판(100)과 봉지 기판(300)의 합착 공정시 봉지 기판(300)의 눌림을 완충하는 역할도 한다. 예를 들어, 보호층(190)은 OCA(optical clear adhesive) 또는 OCR(optical clear resin)이 될 수 있지만, 이에 한정되지 않는다.
- [0130] 상기 봉지 기판(300)은 기판(100)의 패드부를 제외한 나머지 부분을 덮도록 배치됨으로써 기판(100) 상에 마련된 화소 어레이를 보호한다.
- [0131] 일 예에 따른 봉지 기판(300)은 블랙 매트릭스(310)를 포함할 수 있다.
- [0132] 상기 블랙 매트릭스(310)는 기판(100)에 마련된 각 화소(P)의 개구 영역을 정의한다. 즉, 블랙 매트릭스(310)는 각 화소(P)의 개구 영역을 제외한 나머지 차광 영역과 중첩되는 봉지 기판(300) 상에 마련됨으로써 인접한 개구 영역 사이의 혼색을 추가로 방지한다. 일 예에 따른 블랙 매트릭스(310)는 복수의 게이트 라인(GL)과 각 화소(P)의 화소 회로(PC) 각각을 덮는 복수의 제 1 차광 패턴, 복수의 데이터 라인(DL)과 복수의 구동 전원 라인(PL1, PL2) 각각을 덮는 복수의 제 2 차광 패턴, 및 봉지 기판(300)의 가장자리 부분을 덮는 제 3 차광 패턴을 포함할 수 있다. 여기서, 제 1 내지 제 3 차광 패턴은 동일한 층에 마련될 수 있고, 이로 인하여 블랙 매트릭스(310)는 메쉬 형태를 가질 수 있다.
- [0133] 추가적으로, 봉지 기판(300)은 블랙 매트릭스(310)에 의해 정의되는 개구 영역에 마련된 광추출층(330)을 더 포함할 수 있다. 상기 광추출층(330)은 투명 물질로 이루어져 화소(P)로부터 방출되는 광을 외부로 추출하는 역할을 하며, 봉지 기판(300)에 마련된 블랙 매트릭스(310)와 개구 영역 간의 단차를 최소화하는 역할을 겸할 수 있다.
- [0134] 한편, 각 화소(P)에 배치된 발광 소자들(ED1, ED2, ED3)가 백색 광을 방출할 경우, 봉지 기판(300)은 상기 광추출층(330) 대신에 개구 영역에 마련된 컬러필터층을 포함한다. 이 경우, 컬러필터층은 복수의 화소(P) 각각에 정의된 색상에 대응되는 적색 컬러필터, 녹색 컬러필터, 및 청색 컬러필터를 포함할 수 있다. 이러한 컬러필터층은 화소(S)에서 방출되는 방출되는 백색 광 중에서 해당 화소와 대응되는 색상의 파장을 갖는 광만을 투과시킨다.
- [0135] 도 7은 본 출원의 일 예에 따른 발광 다이오드 디스플레이 장치에서, 정상 화소의 발광을 설명하기 위한 도면이다.
- [0136] 도 7에서 알 수 있듯이, 본 출원에 따른 화소(P)의 화소 회로(PC) 및 제 1 발광 소자(ED1)와 제 3 발광 소자(ED3)가 제조 공정 및 제조 공정 이후에도 정상적으로 구동될 경우, 화소(P)의 제 1 발광 소자(ED1)와 제 3 발광 소자(ED3)는 제 1 게이트 라인(GLa)에 공급되는 게이트 신호와 데이터 라인(DL)에 공급되는 데이터 신호에 따라 제 1 화소 회로(PC1)로부터 출력되는 데이터 전류에 의해 정상적으로 발광한다. 제 1 발광 소자(ED1)와 제 3 발광 소자(ED3)가 정상적으로 구동할 경우, 제 2 화소 회로(PC2) 및 제 2 발광 소자(ED2)를 포함하는 제 2 발광부는 동작하지 않는 리던던시 회로로 사용된다.
- [0137] 도 8은 본 출원의 일 예에 따른 발광 다이오드 디스플레이 장치에서, 리페어 화소의 발광을 설명하기 위한 도면이며, 도 9는 도 8에 도시된 리페어 화소의 리페어 방법을 나타내는 도면이다.
- [0138] 도 8 및 도 9를 도 4와 결부하면, 본 출원에 따른 화소(P)의 제 3 발광 소자(ED3)가 제조 공정 및 제조 공정 이후에 쇼트(short) 또는 오픈(open) 등의 구동 불량 발생될 경우, 화소(P)는 제 3 발광 소자(ED3)의 구동 불량으로 인하여 영상을 표시하지 못하게 된다. 이와 같이, 화소(P)의 제 3 발광 소자(ED3)가 구동 불량일 경우, 제 2 구동 전원 라인(PL2)과 중첩되는 공통 연결 패턴(CCP)의 제 1 중첩 라인(OL1)과 제 2 중첩 라인(OL2) 중 적어도 하나에 설정된 레이저 웰딩부(LWP1, LWP2)에 레이저(LL)를 조사하여 제 1 중첩 라인(OL1)과 제 2 중첩 라인(OL2) 중 적어도 하나를 제 2 구동 전원 라인(PL2)에 전기적으로 연결시킨다. 이에 따라, 화소(P)의 제 1 발광 소자(ED1)는 제 1 게이트 라인(GLa)에 공급되는 게이트 신호와 데이터 라인(DL)에 공급되는 데이터 신호에 따라 제 1 화소 회로(PC1)로부터 출력되는 데이터 전류에 의해 정상적으로 발광하고, 이와 동시에 제 2 발광 소자(ED2)는 제 2 게이트 라인(GLb)에 공급되는 게이트 신호와 데이터 라인(DL)에 공급되는 데이터 신호에 따라 제 2 화소 회로(PC2)로부터 출력되는 데이터 전류에 의해 정상적으로 발광할 수 있다.

- [0139] 따라서, 본 출원은 불량 화소에 대한 리페어가 가능하고 신뢰성과 생산수율이 증가될 수 있는 발광 다이오드 디스플레이 장치를 제공할 수 있다.
- [0140] 도 10은 본 출원에 따른 멀티 스크린 디스플레이 장치를 설명하기 위한 도면이다.
- [0141] 도 10을 참조하면, 본 출원의 일 예에 따른 멀티 스크린 디스플레이 장치(10)는 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 및 하우징(30)을 포함할 수 있다.
- [0142] 상기 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 각각은 $N(N$ 은 2 이상의 양의 정수) $\times M(M$ 은 2 이상의 양의 정수) 형태로 배치됨으로써 개별 영상을 표시하거나 하나의 영상을 분할하여 표시한다. 이러한 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 각각은 도 1 내지 도 9에 도시된 본 출원에 따른 발광 다이오드 디스플레이 장치를 포함하는 것으로, 이에 대한 중복 설명은 생략하기로 한다.
- [0143] 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 각각은 본 출원에 따른 발광 다이오드 디스플레이 장치를 포함할 수 있다.
- [0144] 일 예에 따른 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 각각은 상호 대응되는 측면끼리 서로 밀착되어 결합될 수 있다. 이때, 인접한 스크린 모듈들(10-1, 10-2, 10-3, 10-4)의 측면은 접착제 또는 양면 테이프를 매개로 하여 측면 결합될 수 있다.
- [0145] 상기 하우징(30)은 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 각각의 후면 가장자리를 지지하면서 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4)의 후면을 덮는다. 일 예에 따른 하우징(30)은 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4)의 후면을 덮는 하우징 플레이트, 및 하우징 플레이트에 수직하게 마련되어 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 각각의 후면 가장자리를 지지하는 하우징 측벽을 포함한다.
- [0146] 상기 하우징 플레이트는 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 각각의 후면 전체를 덮는 단일 몸체로 이루어지거나, 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 각각의 후면과 중첩되도록 분할된 복수의 분할 플레이트로 이루어질 수 있다.
- [0147] 상기 하우징 측벽은 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 각각의 후면 가장자리와 중첩되는 하우징 플레이트의 상면으로부터 수직하게 설치되어 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 각각의 후면 가장자리를 개별적으로 지지한다. 이때, 하우징 측벽은 탄성 부재, 폼 패드, 양면 테이프 등의 지지 부재를 매개로 하여 복수의 스크린 모듈(10-1, 10-2, 10-3, 10-4) 각각의 후면 가장자리를 지지할 수 있다.
- [0148] 이와 같은, 본 출원에 따른 발광 다이오드 디스플레이 장치를 스크린 모듈들로 사용한 멀티 스크린 디스플레이 장치는 대형 크기의 화면에 표시되는 영상의 시각적 몰입도를 향상시킬 수 있으며, 크기 확장성이 증가될 수 있다.
- [0149] 본 출원에 따른 발광 다이오드 디스플레이 장치는 아래와 같이 설명될 수 있다.
- [0150] 본 출원에 따른 발광 다이오드 디스플레이 장치는 기관 상에 배치되어 영상을 표시하는 화소를 포함하며, 화소는 제 1 방향을 따라 배치된 제 1 게이트 라인, 제 1 방향과 교차하는 제 2 방향을 따라 배치된 데이터 라인, 및 데이터 라인과 나란한 제 1 구동 전원 라인에 연결된 제 1 발광부, 제 1 게이트 라인과 나란한 제 2 게이트 라인과 데이터 라인 및 제 1 구동 전원 라인에 연결된 제 2 발광부; 제 1 발광부와 제 2 발광부에 공통적으로 연결된 공통 연결 패턴; 및 제 2 구동 전원 라인과 공통 연결 패턴 사이에 연결된 제 3 발광부를 포함하며, 공통 연결 패턴의 일부는 제 2 구동 전원 라인과 중첩될 수 있다.
- [0151] 본 출원의 일 예에 따르면, 상기 제 3 발광부는 상기 제 1 게이트 라인과 상기 제 2 게이트 라인 사이에 배치될 수 있다.
- [0152] 본 출원의 일 예에 따르면, 제 1 발광부는 제 1 게이트 라인과 데이터 라인 및 제 1 구동 전원 라인에 연결된 제 1 화소 회로; 및 제 1 화소 회로에 연결된 제 1 단자와 공통 연결 패턴에 연결된 제 2 단자를 갖는 제 1 발광 소자를 포함할 수 있다.
- [0153] 본 출원의 일 예에 따르면, 제 2 발광부는 제 2 게이트 라인과 데이터 라인 및 제 1 구동 전원 라인에 연결된 제 2 화소 회로, 및 제 2 화소 회로에 연결된 제 1 단자와 공통 연결 패턴에 연결된 제 2 단자를 갖는 제 2 발광 소자를 포함할 수 있다.
- [0154] 본 출원의 일 예에 따르면, 제 3 발광부는 공통 연결 패턴에 연결된 제 1 단자와 제 2 구동 전원 라인에 연결된

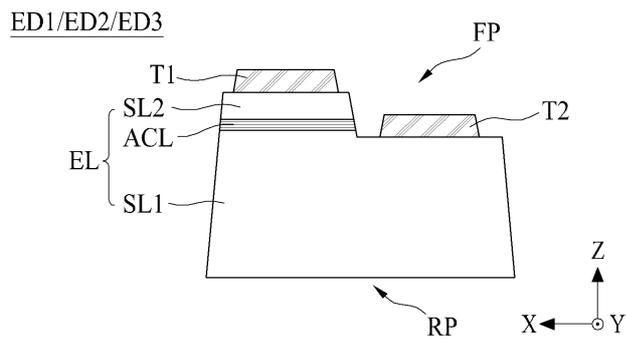
제 2 단자를 갖는 제 3 발광 소자를 포함할 수 있다.

- [0155] 본 출원의 일 예에 따르면, 화소는 제 1 화소 회로와 제 1 발광 소자의 제 1 단자를 연결하는 제 1 브리지 전극 패턴, 제 2 화소 회로와 제 2 발광 소자의 제 1 단자를 연결하는 제 2 브리지 전극 패턴, 및 제 3 발광 소자의 제 2 단자와 제 2 구동 전원 라인을 연결하는 제 3 브리지 전극 패턴을 더 포함하며, 제 2 단자 연결 라인은 제 3 브리지 전극 패턴을 우회하도록 제 1 중첩 라인으로부터 연장되어 제 2 중첩 라인과 연결될 수 있다.
- [0156] 본 출원에 따른 발광 다이오드 디스플레이 장치는 기관 상에 배치되어 영상을 표시하는 화소를 포함하며, 화소는 데이터 라인, 데이터 라인과 교차하는 제 1 및 제 2 게이트 라인, 및 데이터 라인과 나란한 제 1 구동 전원 라인에 연결된 화소 회로; 화소 회로에 연결된 제 1 발광 소자와 제 2 발광 소자; 제 1 발광 소자와 제 2 발광 소자에 공통적으로 연결된 공통 연결 패턴; 및 제 2 구동 전원 라인과 공통 연결 패턴 사이에 연결된 제 3 발광 소자를 포함하며, 제 1 발광 소자와 제 2 발광 소자 중 적어도 하나는 공통 연결 패턴을 통해 제 2 구동 전원 라인과 연결될 수 있다.
- [0157] 본 출원의 일 예에 따르면, 공통 연결 패턴의 일부는 레이저 리페어 공정에 의해 제 2 구동 전원 라인과 전기적으로 연결될 수 있다.
- [0158] 본 출원의 일 예에 따르면, 제 3 발광 소자는 제 1 발광 소자와 제 2 발광 소자 사이에 배치되고, 제 1 발광 소자와 제 2 발광 소자 및 제 3 발광 소자는 제 2 방향을 따라 일렬로 배치될 수 있다.
- [0159] 본 출원의 일 예에 따르면, 제 3 발광 소자는 제 1 발광 소자와 제 2 발광 소자 사이에 배치되고, 제 3 발광 소자와 제 1 발광 소자 사이의 제 1 거리는 제 3 발광 소자와 제 2 발광 소자 사이의 제 2 거리와 동일할 수 있다.
- [0160] 본 출원의 일 예에 따르면, 공통 연결 패턴은 제 1 발광 소자의 제 2 단자에 연결된 제 1 단자 연결 라인, 제 1 단자 연결부로부터 연장되어 제 2 구동 전원 라인과 중첩되는 제 1 중첩 라인, 제 1 중첩 라인으로부터 연장되어 제 3 발광 소자의 제 1 단자에 연결된 제 2 단자 연결 라인, 제 2 단자 연결부로부터 연장되어 제 2 구동 전원 라인과 중첩되는 제 2 중첩 라인, 및 제 2 중첩 라인으로부터 연장되어 제 2 발광 소자의 제 2 단자에 연결된 제 3 단자 연결 라인을 포함할 수 있다.
- [0161] 본 출원의 일 예에 따르면, 제 1 중첩 라인과 제 2 중첩 라인 중 적어도 하나는 레이저 리페어 공정에 의해 제 2 구동 전원 라인과 전기적으로 연결될 수 있다.
- [0162] 본 출원에 따른 발광 다이오드 디스플레이 장치는 제 2 구동 전원 라인을 덮는 패시베이션층, 및 제 1 내지 제 3 발광 소자를 덮으며 제 1 중첩 라인과 제 2 중첩 라인 각각의 일부와 제 2 구동 전원 라인 사이에 마련된 홈부를 갖는 평탄화층을 더 포함하며, 제 1 중첩 라인과 제 2 중첩 라인 각각의 일부는 평탄화층의 홈부에 배치되며, 패시베이션층을 사이에 두고 제 2 구동 전원 라인과 중첩될 수 있다.
- [0163] 본 출원의 일 예에 따르면, 제 3 발광 소자는 제 1 발광 소자와 제 2 발광 소자 사이에 배치되고, 제 1 발광 소자와 제 2 발광 소자 및 제 3 발광 소자는 제 2 방향을 따라 일렬로 배치될 수 있다.
- [0164] 본 출원의 일 예에 따르면, 제 1 발광 소자와 제 2 발광 소자 및 제 3 발광 소자 각각은 마이크로 발광 다이오드 칩일 수 있다.
- [0165] 본 출원의 일 예에 따르면, 화소는 제 1 발광 소자와 제 2 발광 소자 및 제 3 발광 소자 각각과 기관 사이에 배치된 반사 패턴을 더 포함할 수 있다.
- [0166] 본 출원에 따른 발광 다이오드 디스플레이 장치는 제 2 구동 전원 라인을 덮는 패시베이션층, 및 제 1 내지 제 3 발광 소자를 덮으며 제 1 중첩 라인과 제 2 중첩 라인 각각의 일부와 제 2 구동 전원 라인 사이에 마련된 홈부를 갖는 평탄화층을 더 포함하며, 제 1 중첩 라인과 제 2 중첩 라인 각각의 일부는 평탄화층의 홈부에 배치되며, 패시베이션층을 사이에 두고 제 2 구동 전원 라인과 중첩되며, 반사 패턴은 제 1 중첩 라인과 제 2 중첩 라인 각각의 일부와 패시베이션층 사이에 추가로 배치될 수 있다.
- [0167] 본 출원의 일 예에 따르면, 화소는 제 1 발광 소자와 제 2 발광 소자 및 제 3 발광 소자 각각과 반사 패턴 사이에 배치된 접촉층을 더 포함할 수 있다.
- [0168] 본 출원에 따른 멀티 스크린 디스플레이 장치는 서로 나란한 측면끼리 밀착된 복수의 스크린 모듈을 포함하며, 복수의 스크린 모듈 각각은 발광 다이오드 디스플레이 장치를 가지며, 발광 다이오드 디스플레이 장치는 기관 상에 배치되어 영상을 표시하는 화소를 포함하며, 화소는 제 1 방향을 따라 배치된 제 1 게이트 라인, 제 1 방

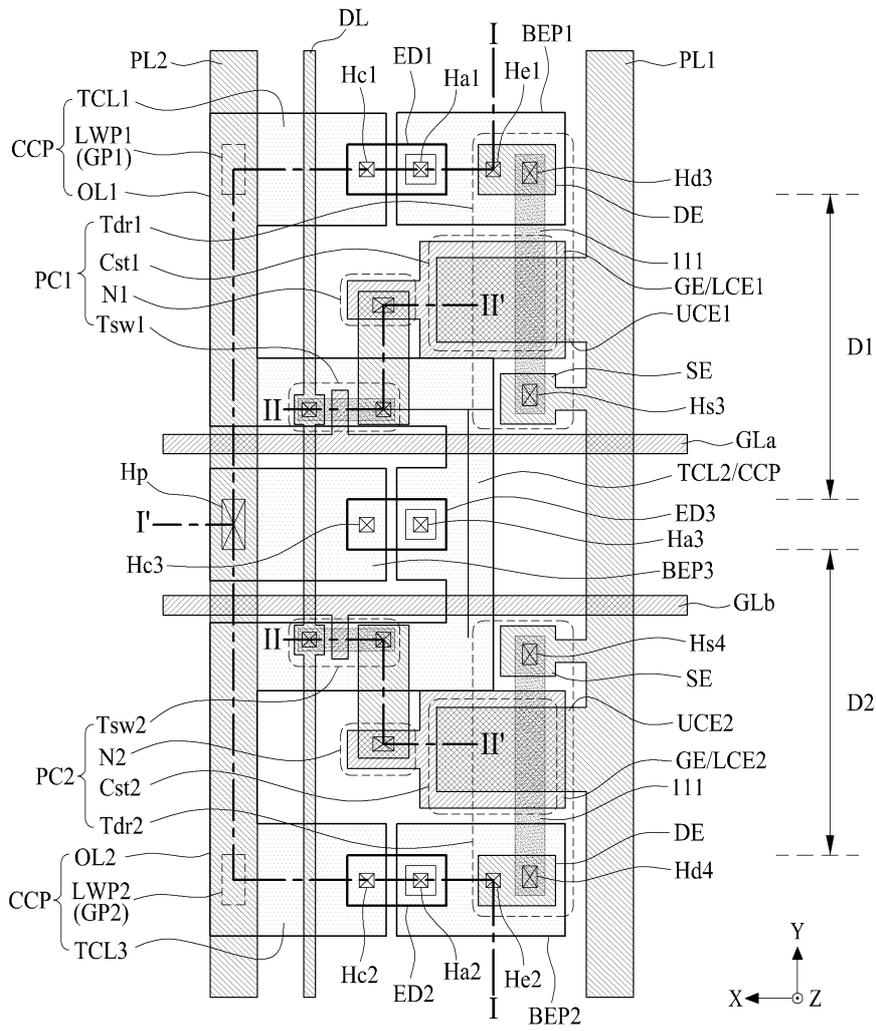
도면2



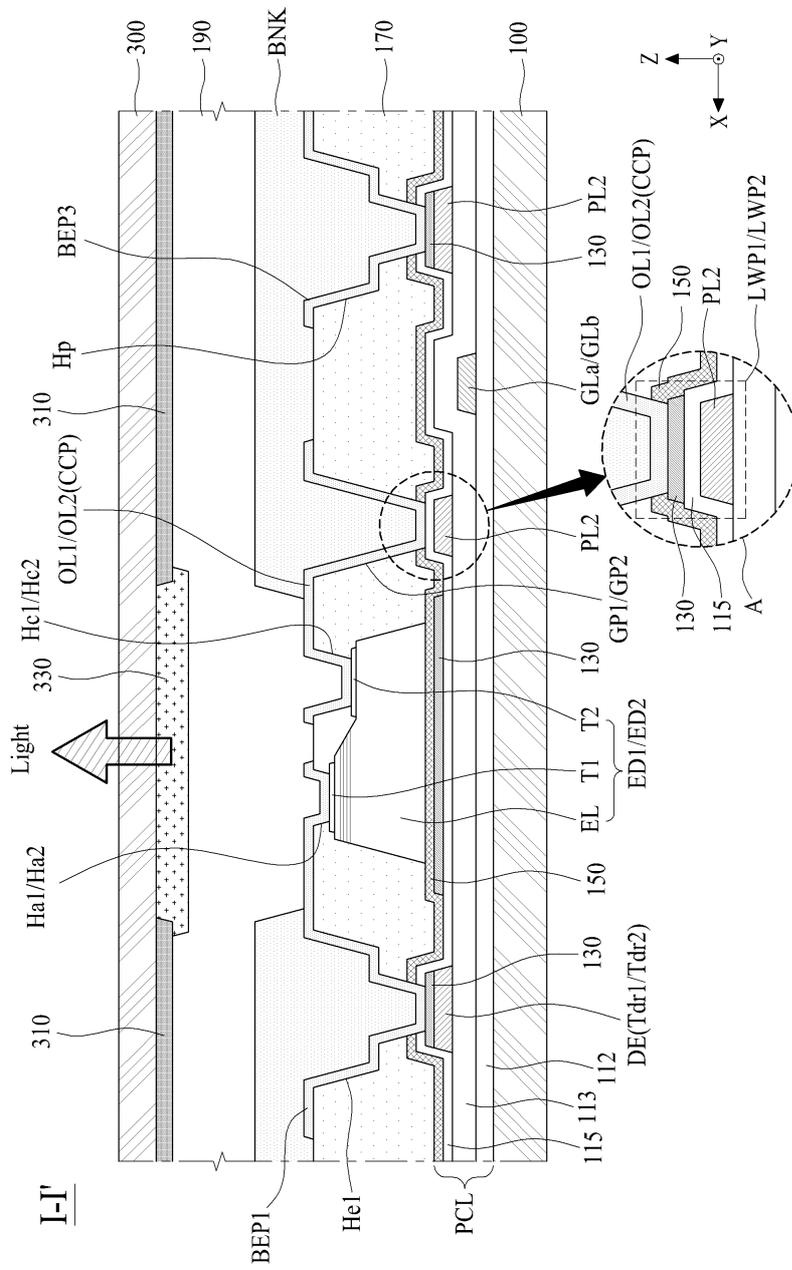
도면3



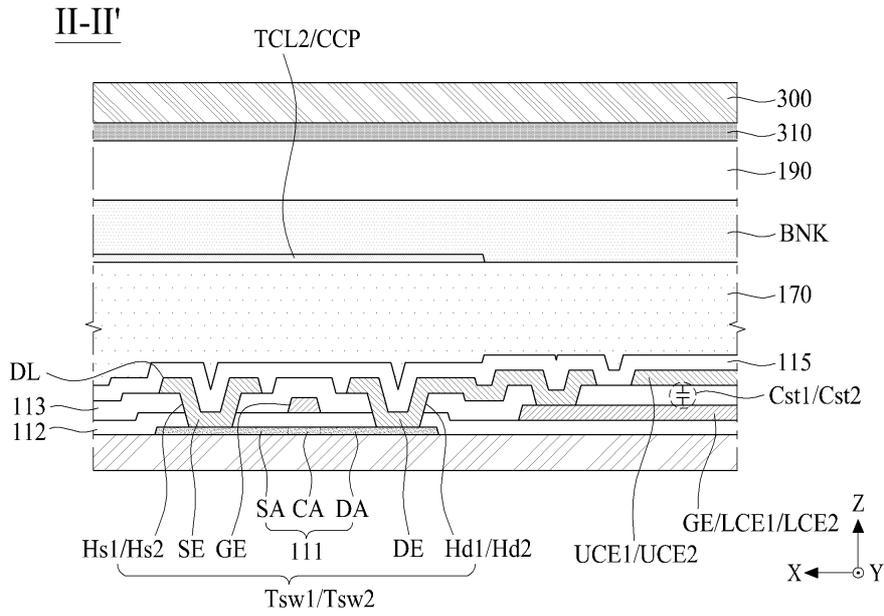
도면4



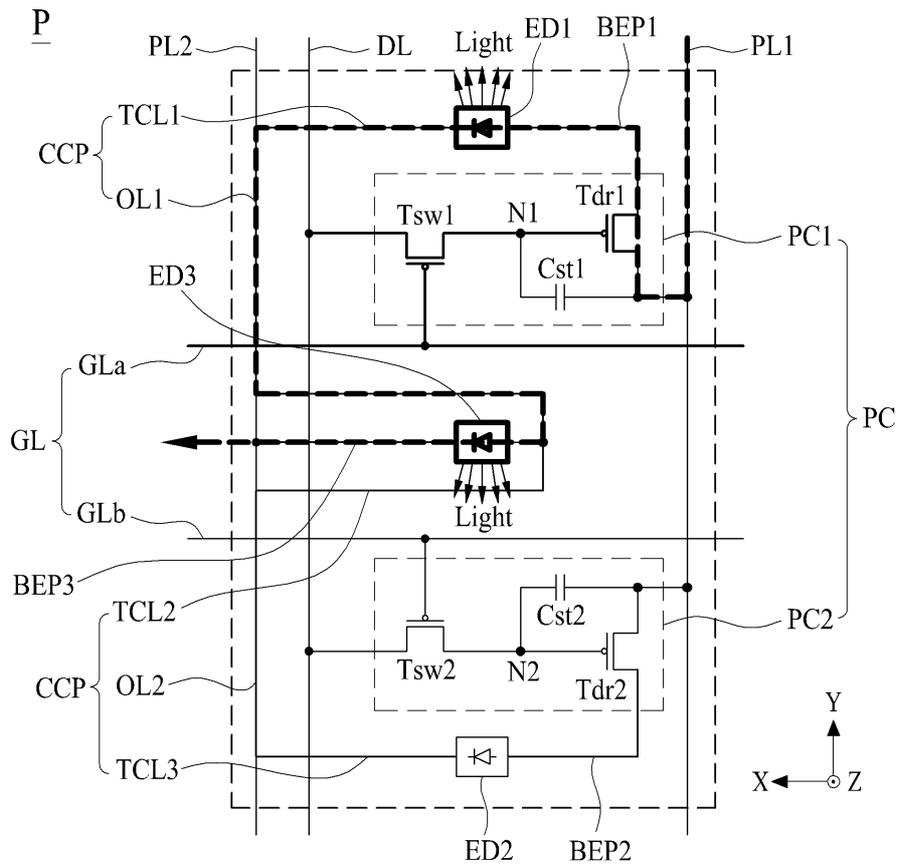
도면5



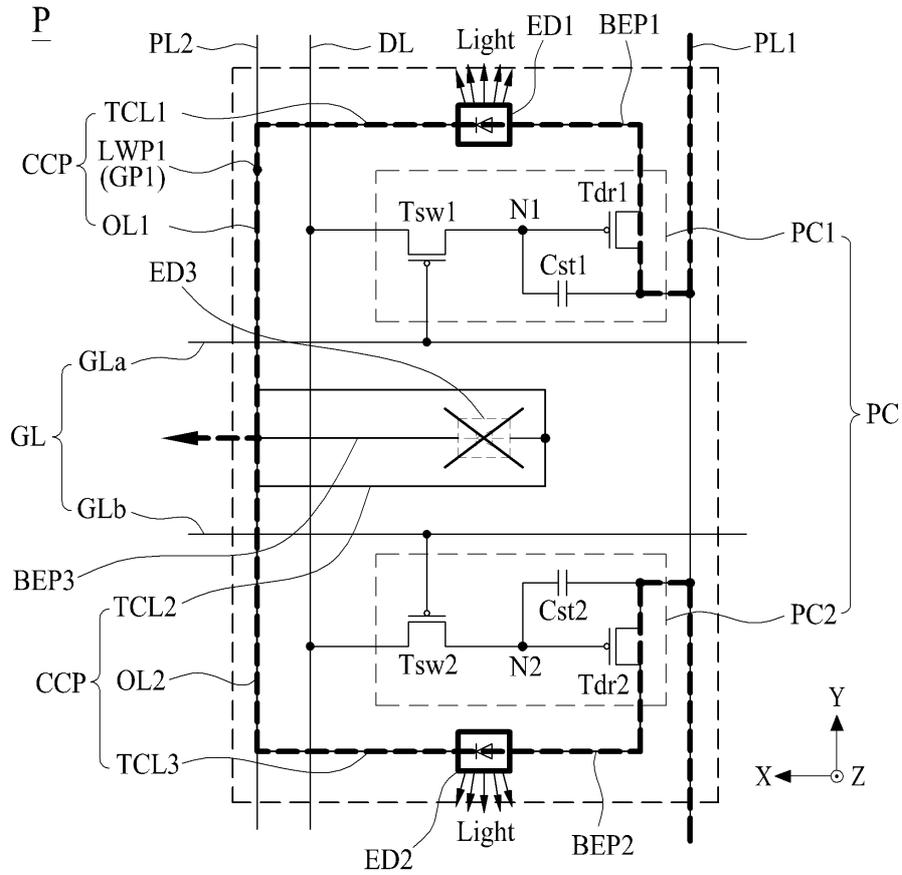
도면6



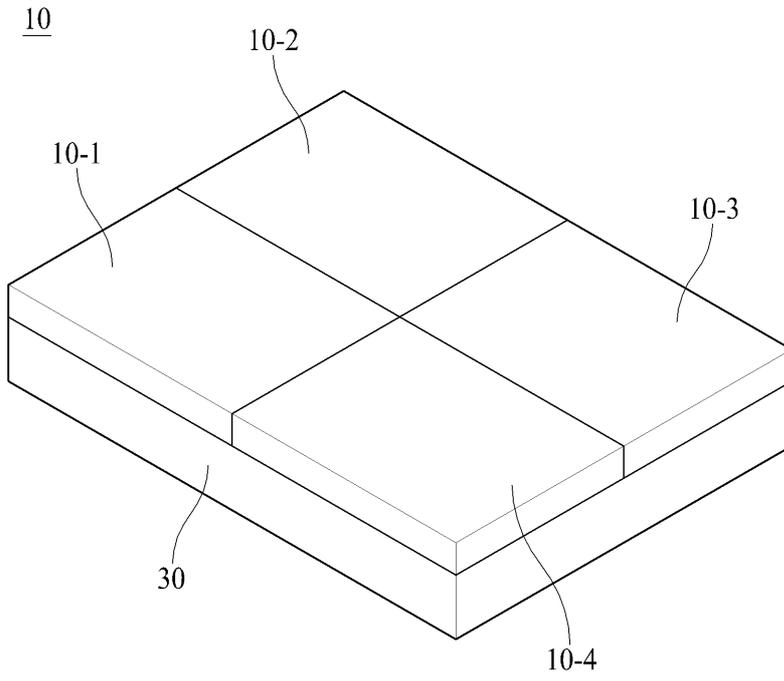
도면7



도면8



도면10



专利名称(译)	发光二极管显示装置和使用其的多屏显示装置		
公开(公告)号	KR1020200082629A	公开(公告)日	2020-07-08
申请号	KR1020180173389	申请日	2018-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	손현호		
发明人	손현호		
IPC分类号	G09G3/32		
CPC分类号	G09G3/32 G09G2300/026 G09G2300/0426 G09G2330/021 G09G2330/08 H01L25/0753 H01L25/167 H01L33/52 H01L33/62		
外部链接	Espacenet		

摘要(译)

发光二极管显示装置包括设置在基板上并被配置为显示图像的像素。像素包括第一发光部分,该第一发光部分被配置为与沿第一方向布置的第一栅极线,沿与第一方向垂直的第二方向布置的数据线以及与数据平行的第一驱动电源线连接。第二发光部分,其配置为连接与第一栅极线,数据线和第一驱动电源线平行的第二栅极线,公共连接图案,其配置为与第一发光部分和第二驱动线连接。发光部分和第三发光部分被配置为连接在第二驱动电源线和公共连接图案之间。某些公共连接图案被配置为与第二驱动电源线重叠。

